

**Sub-1GHz
Receiver
HW3002**

数 据 手 册

- 产品简介
- 数据手册
- 产品规格

上海东软载波微电子有限公司

2018 年 6 月 7 日

产品订购信息

型号	封装
HW3002NF	QFN20

地 址：中国上海市龙漕路 299 号天华信息科技园 2A 楼 5 层

邮 编：200235

E-mail: support@essemi.com

电 话：+86-21-60910333

传 真：+86-21-60914991

网 址： <http://www.essemi.com>

版权所有©

上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不承担或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

修订历史

版本	修订日期	修改概要
V1.0	2018-6-7	初版

目 录

内容目录

第 1 章	芯片简介	9
1.1	芯片概述.....	9
1.2	芯片主要特性.....	9
1.3	引脚信息.....	11
第 2 章	芯片状态控制	12
2.1	POWER DOWN.....	12
2.2	DEEP SLEEP.....	12
2.3	SLEEP (RC).....	13
2.4	IDLE.....	13
2.5	RX.....	13
2.6	芯片状态切换说明.....	13
第 3 章	帧结构	14
3.1	增强型帧结构.....	14
3.2	直接 FIFO 帧结构.....	15
第 4 章	多 PIPE 逻辑通道	16
第 5 章	数据与控制接口	17
5.1	FIFO.....	17
5.1.1	FIFO 指针.....	17
5.1.2	FIFO 操作说明.....	18
5.2	中断.....	20
5.2.1	增强型帧结构中中断.....	22
5.2.2	直接 FIFO 帧结构中中断.....	22
5.3	SPI 通信接口.....	23
5.3.1	SPI 帧格式.....	23
5.3.2	寄存器访问时序.....	23
5.3.3	FIFO 访问时序.....	23
5.3.4	SPI 时序参数.....	24
5.4	GPIO 配置.....	24
第 6 章	频点与数据传输参数设置	26
6.1	频点设置.....	26
6.1.1	频点默认设置模式.....	26
6.1.2	频点直接设置模式.....	26
6.1.3	跳频接收模式.....	27
6.2	数据传输参数设置.....	28
6.2.1	数据速率设置.....	28
6.2.2	调制特性设置.....	28
6.2.3	接收滤波器带宽设置.....	28
第 7 章	接收操作流程	29
7.1	增强型帧结构接收流程.....	29
7.2	直接 FIFO 帧详细收发流程.....	30
7.3	直接接收 DIRECT 模式.....	31

第 8 章	芯片唤醒	32
8.1	Wake-up Timer 唤醒.....	32
8.2	GPIO 外部中断唤醒.....	32
第 9 章	RC 校准	33
9.1	软件校准.....	33
9.2	硬件自动校准.....	33
第 10 章	异常状态的检测及复位	34
10.1	芯片异常状态检测.....	34
10.2	寄存器与 FIFO 校验功能.....	34
10.3	芯片复位.....	34
第 11 章	其它功能与设置	35
11.1	白化与 CRC.....	35
11.2	FEC.....	36
11.3	数据编码.....	36
11.4	RSSI.....	36
11.5	载波检测 (Carrier Detect).....	36
11.6	AFC 及晶振的校准功能.....	37
11.7	有效/无效前导检测.....	37
11.8	有效/无效 SFD 检测.....	37
11.9	低功耗接收模式.....	37
第 12 章	寄存器	38
12.1	寄存器列表.....	38
12.2	寄存器说明.....	40
附录 1	电气特性	67
附录 2	术语解释	70
附录 3	典型应用原理图	71
附录 4	封装信息	72

图目录

图 1-1	HW3002 结构框图	9
图 1-2	HW3002 QFN20 封装示意图	11
图 2-1	HW3002 状态控制示意图	12
图 2-2	芯片上电进入接收模式示意图	13
图 3-1	增强型帧结构示意图	14
图 3-2	直接 FIFO 帧结构示意图	15
图 4-1	4 路 PIPE 通讯示意图	16
图 5-1	FIFO 控制示意图	17
图 5-2	两种帧结构模式下 FIFO 结构	18
图 5-3	直接 FIFO 帧结构接收半满操作示意图	18
图 5-4	IRQ 中断输出示意图	21
图 5-5	ACK 不使能情况中断示意图	22
图 5-6	直接 FIFO 帧结构中中断示意图	22
图 5-7	SPI 帧格式	23
图 5-8	SPI 写寄存器时序	23
图 5-9	SPI 读寄存器时序	23
图 5-10	SPI 连续读 FIFO 时序	24
图 5-11	SPI 时序参数示意图	24
图 7-1	PRX 接收流程图	29
图 7-2	帧长信息配置示意图	30
图 7-3	直接接收模式时序图	31
图 7-4	直接接收模式数据时序示意图	31
图 11-1	PN9 数据白化生成器	35
图 11-2	CRC 硬件实现示意图	35
图 12-1	HW3002 典型应用原理图	71
图 12-2	QFN20 4x4 封装示意图	72

表目录

表 1-1	HW3002 管脚描述	11
表 3-1	标准识别号	15
表 5-1	推荐 SPI 时序 (8MHz) 参数	24
表 5-2	GPIO 默认状态	24
表 6-1	系数 k_{freq} 配置表	27
表 6-2	系数 k_{dev} 配置表	28
表 10-1	CHIPSTA1 各状态说明	34
表 12-1	寄存器列表	39
表 12-2	RFID 寄存器说明	40
表 12-3	TRCTRL 寄存器说明	40
表 12-4	PKTCTRL 寄存器说明	41
表 12-5	PKTCFG0 寄存器说明	42
表 12-6	CRCSEED 寄存器说明	42
表 12-7	PKTCFG1 寄存器说明	42
表 12-8	FIFOTHRES 寄存器说明	42
表 12-9	PSDULEN 寄存器说明	43
表 12-10	RXPHR0 寄存器说明	43
表 12-11	RXPHR1 寄存器说明	43
表 12-12	FIFOCTRL 寄存器说明	44
表 12-13	LEN0PKLEN 寄存器说明	44
表 12-14	FIFOSTA 寄存器说明	45
表 12-15	INT 寄存器说明	46
表 12-16	INTIE 寄存器说明	47
表 12-17	INTIC 寄存器说明	48
表 12-18	CRCVAL 寄存器说明	48
表 12-19	PIPECTRL 寄存器说明	49
表 12-20	P0ADDR0 寄存器说明	49
表 12-21	P0ADDR1 寄存器说明	49
表 12-22	P0ADDR2 寄存器说明	49
表 12-23	P1ADDR0 寄存器说明	50
表 12-24	P1ADDR1 寄存器说明	50
表 12-25	P1ADDR2 寄存器说明	50
表 12-26	P23ADDR 寄存器说明	50
表 12-27	CHIPSTA0 寄存器说明	51
表 12-28	MODECTRL 寄存器说明	52
表 12-29	GPIOCFG0 寄存器说明	53
表 12-30	GPIOCFG1 寄存器说明	55
表 12-31	WDTCFG0 寄存器说明	55
表 12-32	WDTCFG1 寄存器说明	55
表 12-33	WDTWDV 寄存器说明	56
表 12-34	AGCGAIN 寄存器说明	56
表 12-35	RSSI 寄存器说明	56
表 12-36	PREACFG 寄存器说明	56

表 12-37	MODEMCTRL 寄存器说明	57
表 12-38	IFSET 寄存器说明.....	57
表 12-39	CDTH 寄存器说明.....	57
表 12-40	CHCFG0 寄存器说明	57
表 12-41	CHCFG1 寄存器说明	57
表 12-42	CHCFG2 寄存器说明	58
表 12-43	CHCFG3 寄存器说明	58
表 12-44	DEVIATION 寄存器说明.....	58
表 12-45	HOPCFG 寄存器说明	58
表 12-46	FILTERBAND 寄存器说明	59
表 12-47	FREQCFG0 寄存器说明	59
表 12-48	FREQCFG1 寄存器说明	59
表 12-49	FREQCFG2 寄存器说明	59
表 12-50	SYMRATE0 寄存器说明.....	60
表 12-51	SYMRATE1 寄存器说明.....	60
表 12-52	RFCFG 寄存器说明	61
表 12-53	CHIPSTA1 寄存器说明	61
表 12-54	XOSC 寄存器说明.....	61
表 12-55	RCCFG0 寄存器说明	61
表 12-56	RCSTA 寄存器说明	62
表 12-57	RCCFG1 寄存器说明	62
表 12-58	HOPSPACE0 寄存器说明.....	62
表 12-59	HOPSPACE1 寄存器说明.....	63
表 12-60	RSSICFG 寄存器说明.....	63
表 12-61	HOPCH 寄存器说明	63
表 12-62	PACFG 寄存器说明.....	64
表 12-63	ACKCFG 寄存器说明.....	64
表 12-64	FIFOPTR 寄存器说明	64
表 12-65	LENORXADD 寄存器说明	64
表 12-66	INVSFDTIME 寄存器说明.....	65
表 12-67	SFTRST0 寄存器说明.....	65
表 12-68	SFTRST1 寄存器说明.....	65
表 12-69	REGCHECK 寄存器说明	65
表 12-70	FIFODATA 寄存器说明	66
表 12-71	工作条件	67
表 12-72	芯片功耗	67
表 12-73	接收机 (RX) 特性	68
表 12-74	频率合成器特性.....	69
表 12-75	低功耗 RC 振荡器特性.....	69
表 12-76	石英晶体振荡器特性	69
表 12-77	术语解释	70
表 12-78	不同频率下的射频元件 BOM	71
表 12-79	QFN20 4x4 封装尺寸	72

第1章 芯片简介

1.1 芯片概述

本芯片是一款工业级低功耗 Sub-1GHz 射频接收器芯片，可广泛应用于无线抄表、无线门禁、智能家居、工业控制、无线传感器网络、无线遥控、遥测设备等领域。芯片总体结构如图 1-1 所示。

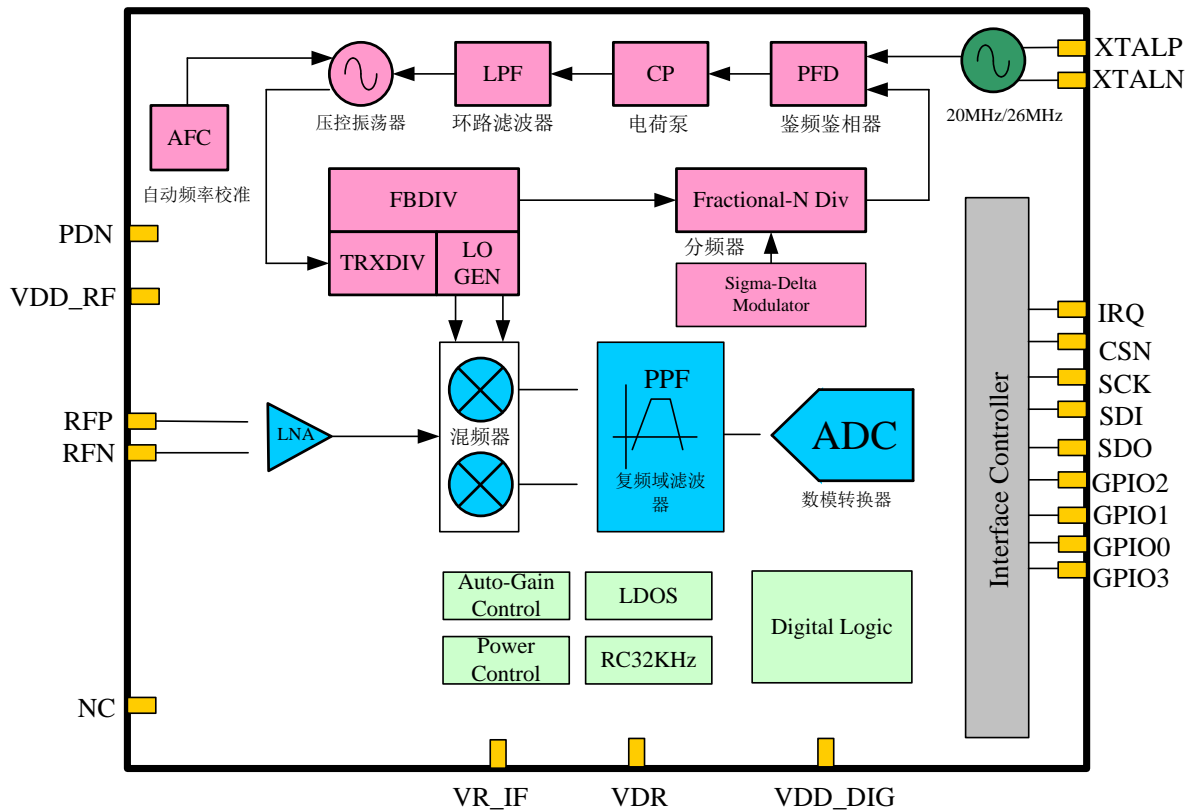


图 1-1 HW3002 结构框图

1.2 芯片主要特性

- ◆ 频带
 - ◇ 315/433/779/868/915MHz
- ◆ 接收灵敏度
 - ◇ -114 dBm @ 10kbps(315/433MHz)
 - ◇ -112dBm @ 10kbps(779/868/915MHz)
- ◆ 调制方式
 - ◇ (G)FSK
- ◆ 低电流消耗
 - ◇ 8 mA RX(低功耗接收模式)
 - ◇ 18 mA RX(非低功耗接收模式)
- ◆ 各模式下功耗

- ◇ 100 nA POWER DOWN
- ◇ 3uA DEEP SLEEP
- ◇ 3.5uA SLEEP(RC)
- ◇ 2mA IDLE
- ◆ 数据速率：1.2 kbps to 100 kbps
- ◆ 支持自动跳频功能
 - ◇ 8 个可配通道
- ◆ 支持电压范围：2.0V ~ 3.6V
- ◆ 选择性性能
 - ◇ 邻道抑制：41 dB @ 200KHz
 - ◇ 阻断性能：55 dB @ 1MHz
- ◆ 独立 256 字节接收 FIFO
- ◆ 支持自动频率控制(AFC)
- ◆ 支持自动增益控制(AGC)
- ◆ 支持白化、FEC、CRC 校验
- ◆ 支持曼切斯特编码、8bit/10bit 线性编码
- ◆ 支持数字 RSSI 测量
- ◆ 20-Pin QFN 封装
- ◆ 支持 20/26MHz(± 20 ppm)晶振
- ◆ 支持 IEEE 802.15.4g 帧结构

1.3 引脚信息

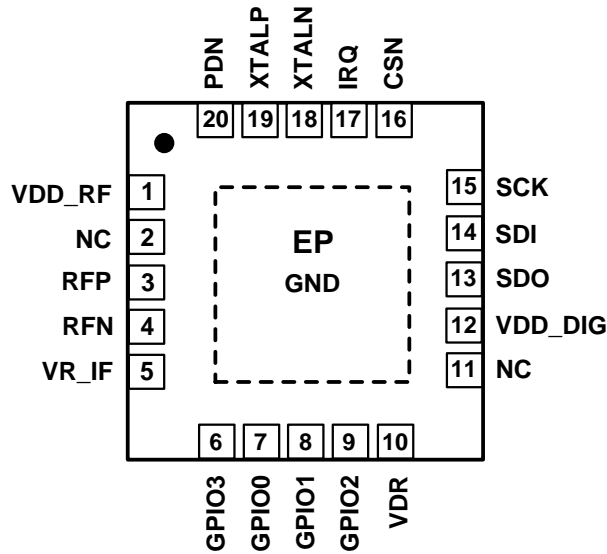


图 1-2 HW3002 QFN20 封装示意图

Pin	Pin Name	I/O	Description
1	VDD_RF	VDD	2.0~3.6V 电源输入
2	NC	-	浮空
3	RFP	I	接收机射频接收接口
4	RFN	I	
5	VR_IF	VDD	芯片模拟稳压源输出
6	GPIO3(I)	I/O	通用数字 I/O (功能详见第 13 章寄存器说明 GPIO 部分内容)
7	GPIO0(O)	I/O	
8	GPIO1(O)	I/O	
9	GPIO2(O)	I/O	
10	VDR	VDD	芯片数字稳压源输出
11	NC	-	浮空
12	VDD_DIG	VDD	芯片数字 3.3V 电源输入
13	SDO	O	SPI 串行数据输出端口
14	SDI	I	SPI 串行数据输入端口
15	SCK	I	SPI 的时钟信号
16	CSN	I	SPI 的片选信号(低电平有效)
17	IRQ	O	中断输出引脚(极性可配, 默认低电平有效)
18	XTALN	O	晶体振荡器的输出端
19	XTALP	I	晶体振荡器的输入端
20	PDN	I	POWER DOWN 模式使能输入引脚(高电平有效)
EP	GND	GND	芯片底部中央的 GND 管脚, 必须接地, 建议 PCB 设计时在 PAD 上放置几个接地过孔, 保证良好的接地。

表 1-1 HW3002 管脚描述

第2章 芯片状态控制

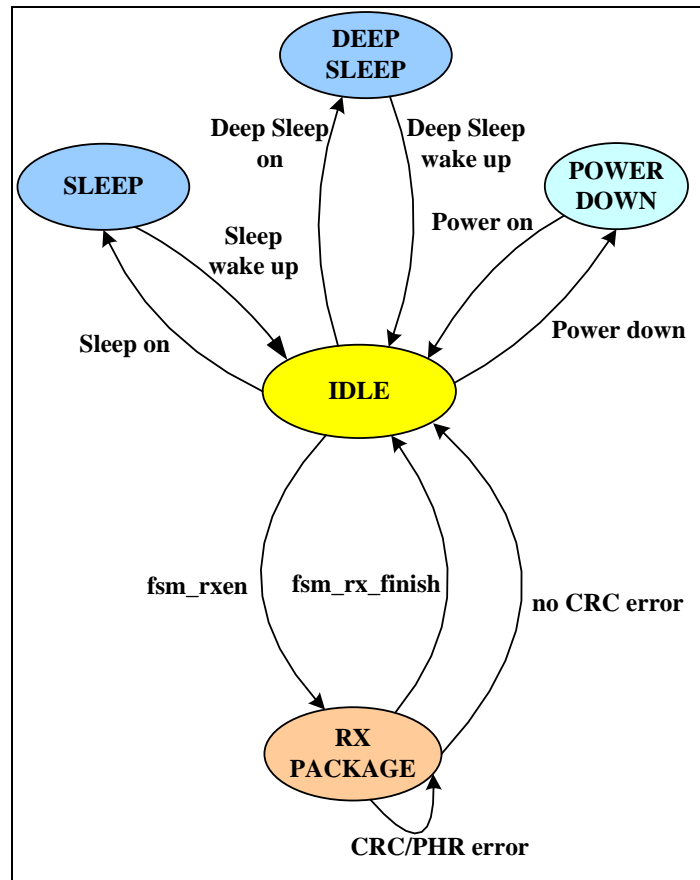


图 2-1 HW3002 状态控制示意图

2.1 POWER DOWN

在 POWER DOWN 状态下，整个芯片全部掉电，芯片功耗约为 100nA。

通过设置 PDN 输入引脚为高电平进入 POWER DOWN 状态，设置 PDN 输入引脚为低电平，芯片从 POWER DOWN 状态恢复至 IDLE 状态，恢复时间约 2ms。

芯片从 POWER DOWN 恢复至 IDLE 状态，全芯片被复位，寄存器恢复默认值。通过读取 CHIPRDY_INT 中断标志确定芯片是否恢复至 IDLE 状态并且晶振稳定可进行接收。

2.2 DEEP SLEEP

在 DEEP SLEEP 状态下，数字的低功耗 LDO 工作，仅提供数字电路的状态寄存器供电，其余数字电路处于掉电状态，芯片功耗约为 3uA。

在 WDT_EN (0x20) 不使能的情况下，通过设置 SLEEP_ON (0x1C) 寄存器为'1'，芯片进入 DEEP SLEEP 状态。设置 SLEEP_ON 寄存器为'0'，芯片从 DEEP SLEEP 状态唤醒，进入 IDLE 状态。

2.3 SLEEP (RC)

在 SLEEP 状态下，低功耗的数字 LDO 给整个数字电路供电，芯片功耗 3.5uA。

在 WDT_EN 使能的情况下，通过设置 SLEEP_ON 寄存器为'1'，芯片进入 SLEEP (RC) 状态。可通过设置 SLEEP_ON 寄存器为'0'、RC 定时或外部 GPIO 输入中断三种方式将芯片唤醒，唤醒后芯片进入 IDLE 状态。

芯片从 DEEP SLEEP/SLEEP 状态恢复至 IDLE 状态，芯片除寄存器外全部被复位。通过读取 CHIPRDY_INT 中断标志确定芯片是否恢复至 IDLE 状态并且晶振稳定可进行接收。

注 1: 在 SLEEP(RC)或 DEEP SLEEP 状态下 SPI 可访问寄存器，但不可访问 FIFO 或进行中断标志位清'0'操作。

注 2: 配置芯片进入 SLEEP(RC)或 DEEP SLEEP 状态之前，需关闭接收使能 DBUS_TXEN/DBUS_RXEN。

2.4 IDLE

在 IDLE 状态下，数字主 LDO 使能，晶振电路和晶振电路 BUFFER 电路都使能，芯片功耗小于 2mA。

2.5 RX

当使能芯片 DBUS_RXEN (0x01) 并且接收 FIFO 处于有效状态后，芯片进入 RX 接收状态。接收完成后，芯片进入 IDLE 状态。

2.6 芯片状态切换说明

芯片从上电、POWER DOWN 模式或从 SLEEP、DEEP SLEEP 模式恢复进入接收模式示意图如图 2-2 所示。

若芯片直接从 IDLE 状态进入接收状态，可跳过芯片时钟稳定时间阶段。

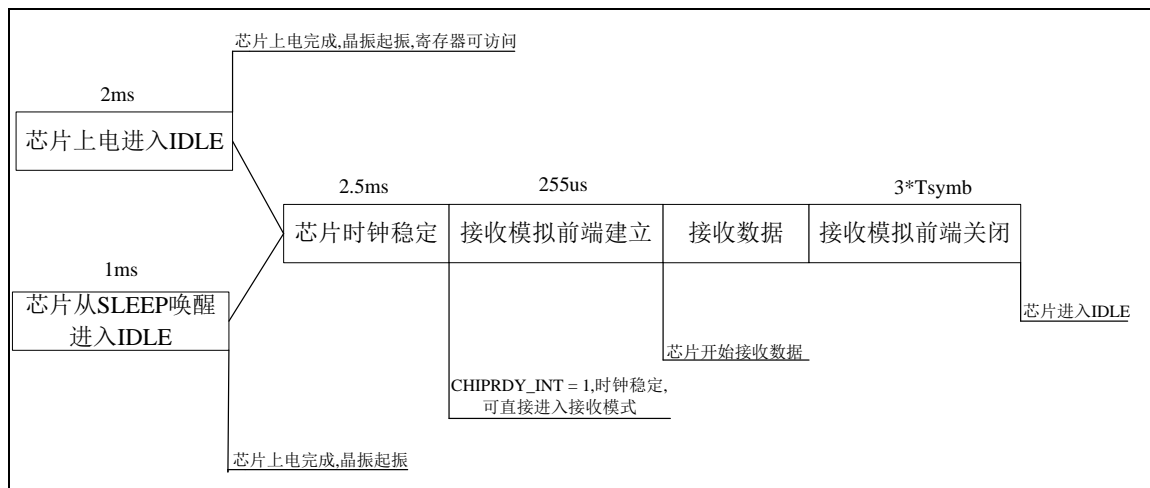


图 2-2 芯片上电进入接收模式示意图

注: Tsymbol 为数据速率周期，如数据速率为 10kbps，则 Tsymbol = 100 us，以下相同。

第3章 帧结构

HW3002 芯片支持增强型帧结构与直接 FIFO 帧结构，可通过 PACK_LENGTH_EN 寄存器配置。增强型帧结构可兼容国家电网电力用户用电信息采集系统通信协议帧结构，并支持自动 ACK 功能；直接 FIFO 帧结构配置灵活，可兼容增强型帧结构、802.15.4g 协议等帧结构。

3.1 增强型帧结构

设置 PACK_LENGTH_EN = '1'，芯片选择增强型帧结构，如图 3-1 所示。

字节数: 4~1023	2~6	1	1	1	1	0~252	2
前导码	帧分隔符	帧长	信道索引	标准识别号	帧头校验码	物理层载荷	帧校验序列
SHR		PHR				PSDU	FCS

图 3-1 增强型帧结构示意图

对所有具有多个字节的域，如前导码、帧分隔符、帧校验序列，芯片最先接收最低比特位的字节；对每个字节，芯片最先接收最低的比特位。

◆ 前导码 (Preamble)

前导码长度可配置 PREAMBLE_LEN 寄存器 (0x03)，支持 4~1023 个字节长度。前导格式可通过寄存器 PREAMBLE_MODE 配置 (0x03)。默认由 80 个字节组成，其顺序为“010101...01”。

◆ 帧分隔符 (SFD)

帧分隔符 SFD 长度可配置 SYNCWORD_LEN 寄存器 (0x03)，SFD 地址可配置 0x14~0x1A 寄存器。默认情况下，SFD 长度为 2bytes，SFD 地址指定为：低字节 0x98，高字节 0xF3。

◆ 物理层头 (PHR)

物理层头 PHR 包括帧长、信道索引、标准识别号、帧头校验码 4 个部分，每部分长度为 1 字节。发送 PHR 可通过寄存器 0x07、0x08 与 0x09 配置，其中帧头校验码、帧长支持硬件自动生成与软件配置两种方式（详见 0x07、0x09 寄存器说明）。

◇ 帧长

帧长域占 1 字节长度，表示长度为 PSDU 中包含的字节数加上 3（即加上信道索引、标准识别号、帧头校验码所占的 3 个字节）。

◇ 信道索引

信道索引为接收设备指定接收数据的无线信道号，信道索引表示公式为：

$$\text{信道索引} = \text{信道组号} \times 2 + \text{信道号}$$

◇ 标准识别号

帧标准识别号为 1 字节长度，范围为 1~99 的 BCD 码。

标准识别号	描述
01	当前规范标准识别号
02~99	保留

表 3-1 标准识别号

◇ 帧头校验码

帧头校验码占 1 字节长度，为物理层数据包 PHR 前面三个字节（帧长、信道索引、标准识别号）异或运算结果。

◆ 物理层载荷（PSDU）

物理层载荷域具有可变的长度，负责传送物理层数据包里的数据。最大支持 PSDU 长度为 252 bytes，即 FIFO 最大可填写 252bytes。

◆ 帧校验序列（FCS）

FCS 域为 16bits 的 CRC 序列，校验范围为 PHR-PSDU。

生成多项式 $G(X) = 1+X^5+X^{12}+X^{16}$ 。

3.2 直接FIFO帧结构

设置 PACK_LENGTH_EN = '0'，芯片选择直接 FIFO 帧结构。

字节数：4~1023	2~6	1~65535
前导码	帧分隔符	物理层载荷(FIFO)
SHR		PSDU

图 3-2 直接 FIFO 帧结构示意图

前导码与帧分隔符的配置方式与增强型帧结构方式一致，发送除前导与 SFD 部分都需软件填写至 FIFO 内，填写内容与顺序可依据收发双方的约定灵活设置。

直接 FIFO 帧结构不支持 ACK、硬件 CRC 校验、FEC 功能。

直接 FIFO 下，接收可依据 LEN0_RXMODE 控制位配置接收完成模式，详见 0x02 寄存器相关说明。

第4章 多PIPE逻辑通道

在增强型帧结构控制方式下，芯片支持 4 个数据 PIPE，即 PIPE0~PIPE3。

每个 PIPE 具有独立的物理地址（SFD），各 PIPE 地址配置详见寄存器 0x14~0x1A，各 PIPE 使能、各 PIPE 自动 ACK 功能使能详见寄存器 0x13。（注：HW3002 的 ACK 功能不可用。）

各 PIPE 的 SFD 地址长度可通过 SYNCWORD_LEN 配置，默认 PIPE0 使能，长度为 2bytes，发送 SFD 为 0xF398。

PTX 在发送前使能需要的 PIPE，配置 PTX_FIFO0_PIPE 控制位（0x0C 寄存器），设置对应的 PIPE SFD 地址寄存器 Pn_ADDR 与 SFD 长度。

PRX 在接收到可同步的 PIPE SFD 之后(SFDDet_INT='1')，将数据包所属的 PIPE 信息存于寄存器 PRX_FIFO0_PIPE。

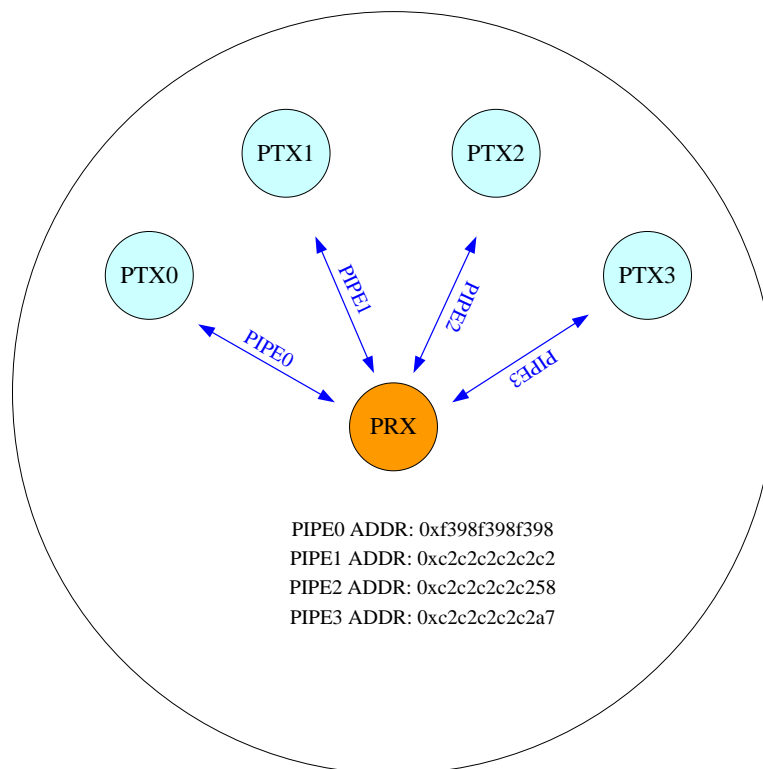


图 4-1 4 路 PIPE 通讯示意图

图 4-1 所示为 4 路 PIPE 通讯示意图，4 路 PIPE 都具有独立 PIPE 地址，PRX 最大可支持与 4 个不同 PIPE 地址的 PTX 通讯。

PRX 可分时与不同 PIPE 相关通讯，但在一路 PIPE 完整收发流程完成之前，PRX 不可与另一路 PIPE 地址的 PTX 通讯。当多路 PTX 与一路 PRX 通讯时，设置各 PTX 寄存器的 AUTO_RXACK_TIME 值（0x45 寄存器）可以有效避免各个 PIPE 之间的干扰。

注：SFD 同步电路触发工作条件由寄存器 SFD_OPT（0x02）控制，包括以下三种：检测到有效前导触发工作、检测到有效载波能量触发工作或无条件始终工作，默认设置为检测到有效前导后触发工作，具体可参考寄存器说明。

第5章 数据与控制接口

5.1 FIFO

HW3002 支持 1 级 256bytes 独立接收 FIFO，用于存放接收的数据，其访问地址为 0x70。

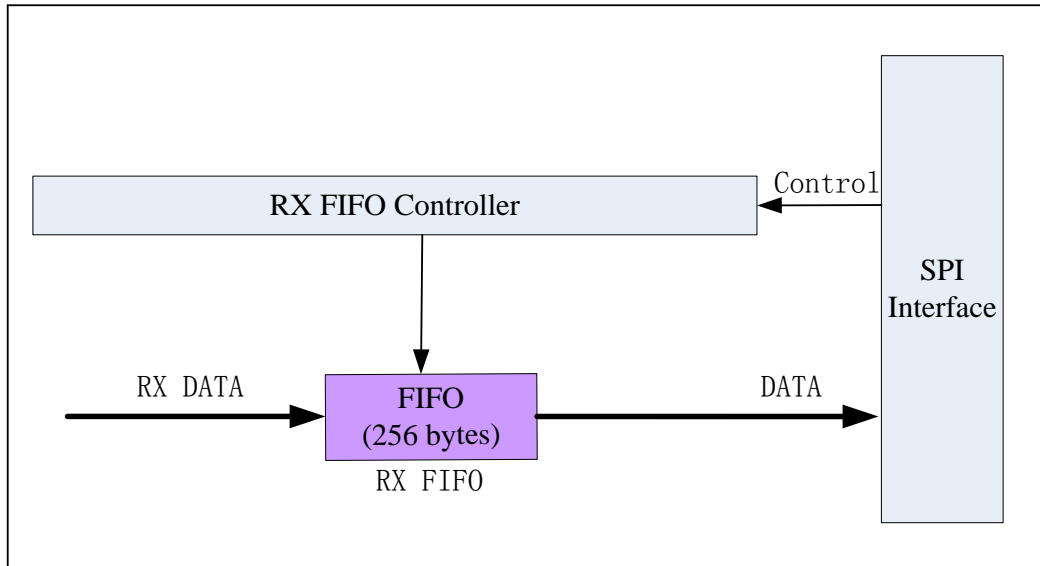


图 5-1 FIFO 控制示意图

5.1.1 FIFO指针

对于 PRX，在接收完成后可以通过 SPI 接口读取 FIFO 内的接收数据，芯片在接收过程中 FIFO 的写入权限交于内部状态机，在此过程中禁止通过 SPI 接口写 FIFO 操作。

FIFO 的读写指针可通过访问 0x4D 寄存器获取，通过操作 CLR_WR_PTR 或 CLR_RD_PTR 寄存器（0x0E）可对读写指针清'0'。

在接收过程中，硬件自带对读写指针的清'0'机制。

- ◇ 写指针在以下情况将自动清'0'
 - PRX SFD 正确同步 (SFDDDET_INT = '1')
- ◇ 读指针在以下情况将自动清'0'
 - PRX SFD 正确同步 (SFDDDET_INT = '1')

5.1.2 FIFO操作说明

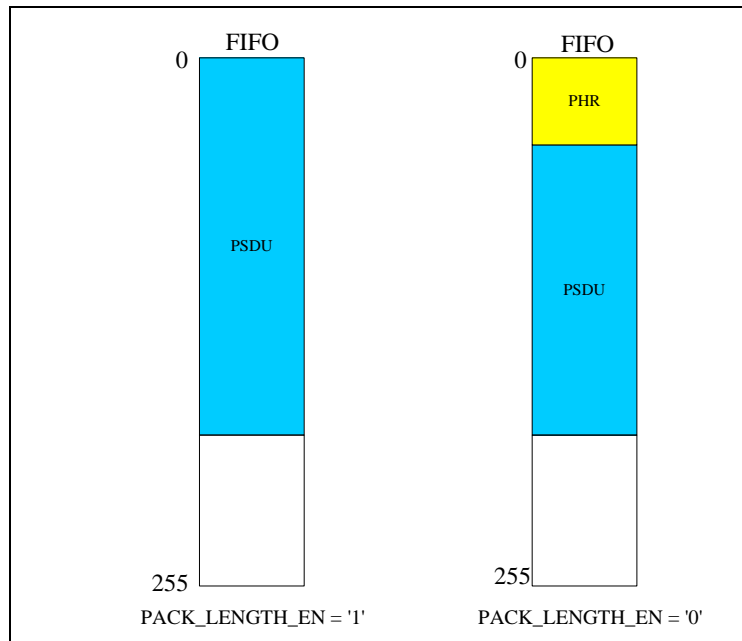


图 5-2 两种帧结构模式下 FIFO 结构

增强型帧结构模式下只需将 PSDU 填入 FIFO，直接 FIFO 帧结构若需兼容增强型帧结构模式需将 PHR 与 PSDU 依次填入 FIFO（如图 5-2 所示）。

增强型帧结构模式下芯片依据 PHR 设置的帧长信息自动完成 FIFO 内 PSDU 的发送与接收。

直接 FIFO 帧结构模式下芯片依据 LEN0_RXMODE 的不同配置，完成 FIFO 内数据的接收。

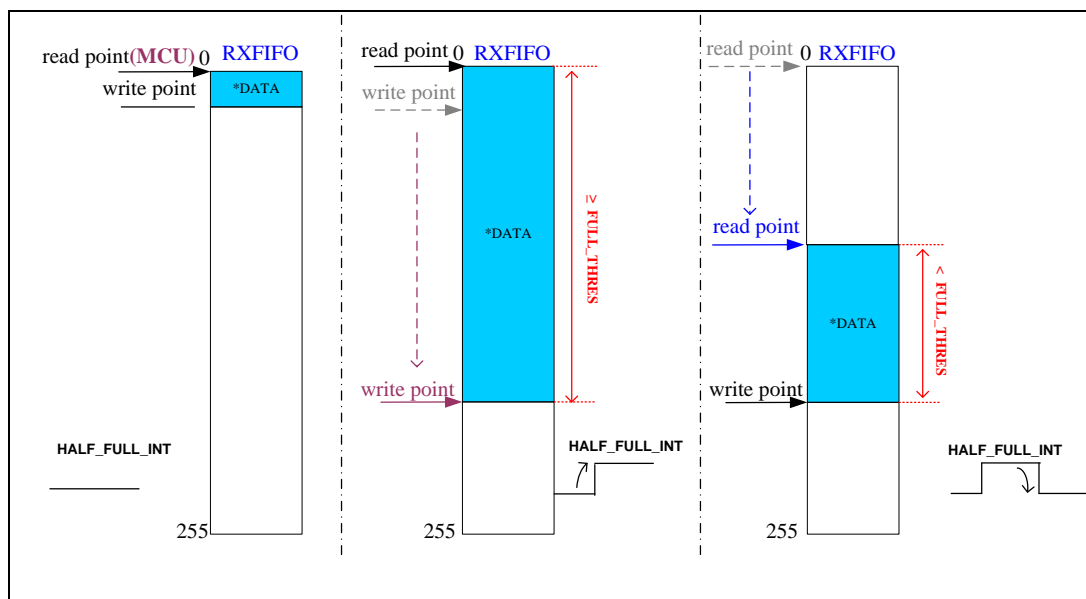


图 5-3 直接 FIFO 帧结构接收半满操作示意图

上图为直接 FIFO 帧结构模式下接收 FIFO 半满操作示意图。当写指针（芯片状态机控制）

与读指针（MCU 通过 SPI 控制）之间的差值大于等于半满阈值 FULL_THRES（0x06）时，接收 FIFO 半满中断标志位 HALF_FULL_INT（0x0F）将会置'1'（软件可轮询中断标志位或通过 IRQ、GPIO 送出中断标志），主控 MCU 响应中断读取 FIFO 中数据，当写指针与读指针之间的差值小于半满阈值 FULL_THRES 时，半满中断标志位 HALF_FULL_INT 将会自动被清'0'。接收方主控 MCU 可依据半满标志完成接收数据长度大于 256bytes 情况的操作流程。

注 1：硬件对读写指针有溢出保护处理，读写指针大于 255 时返回地址 0。

注 2：半空半满阈值可通过寄存器 0x06 配置，阈值设置的大小需结合当前数据速率与 SPI 的通讯速率。

5.2 中断

通过配置中断使能 INTIE (0x10) 寄存器, 可将芯片内部各中断标志通过 IRQ 引脚输出, 方便外部 MCU 获知芯片的状态进行相应的中断处理。GPIO 也可输出中断标志, 具体见 0x1D 及 0x1E 中 GPIO 功能选择位的描述。

中断源包括:

- ◇ POR 中断
- ◇ chip ready 中断
- ◇ 有效 SFD 中断
- ◇ 无效 SFD 中断
- ◇ 有效前导中断
- ◇ 无效前导中断
- ◇ GPIO 外部中断
- ◇ WDT 中断
- ◇ 接收 FIFO 半满中断(只在直接 FIFO 帧结构下有效, 详见 5.1.2 章节说明)
- ◇ RSSI 中断
- ◇ 数据同步时钟中断 (直接收发模式时有效)
- ◇ FIFO 中断

每个中断源都有相应的中断使能位, 若中断不使能, 中断源只作为内部标志位使用。各中断源详见 0x0F 寄存器说明。

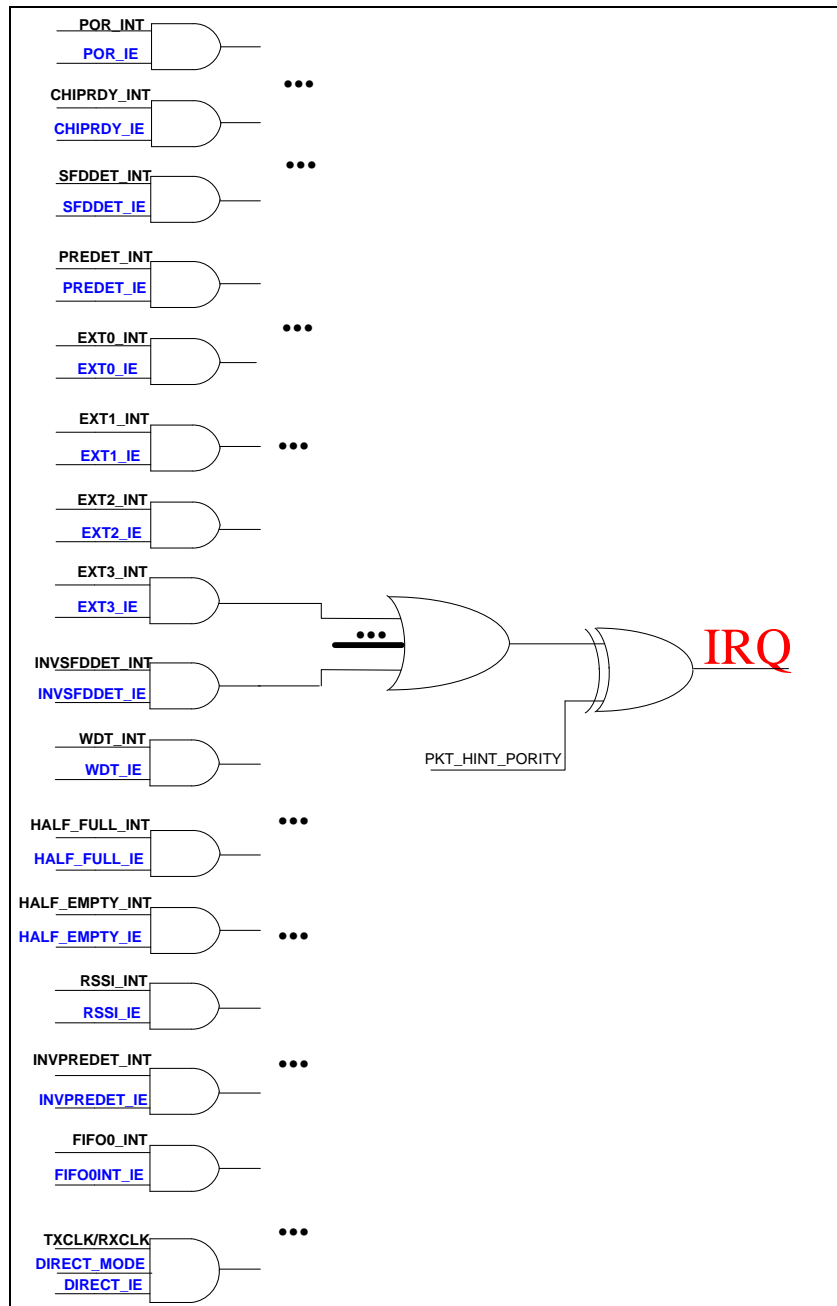


图 5-4 IRQ 中断输出示意图

其中，接收方指示接收完成。

中断输出的有效电平可以由中断极性控制位（PKT_HINT_PORITY）配置，默认为低电平中断有效。

中断及其标志位可以通过寄存器 INTIC(0x11)清'0'或特定条件清'0'，详见 INT 寄存器(0x0F)说明。

5.2.1 增强型帧结构中断

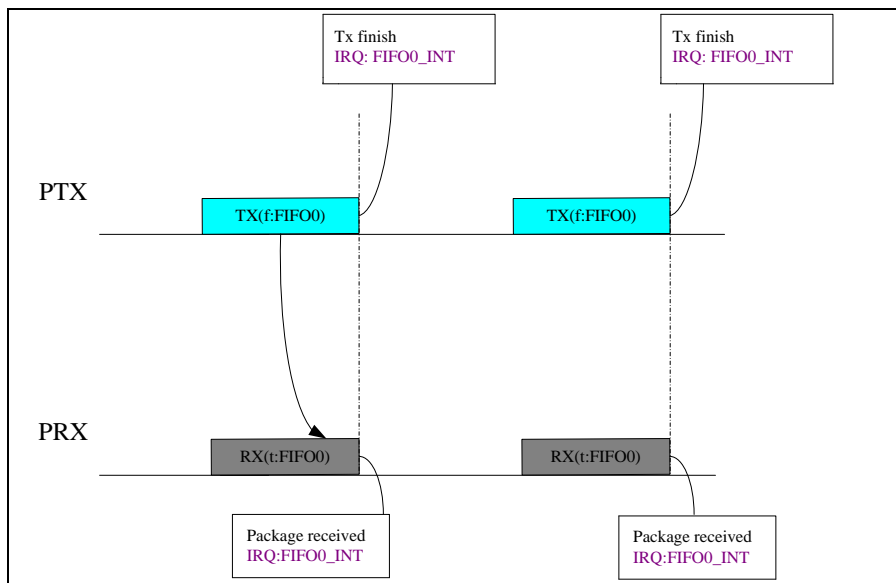


图 5-5 ACK 不使能情况中断示意图

ACK 不使能情况下($Pn_ACKEN=0$)，PRX 在接收数据包完成后中断标志位 FIFO0_INT 将置'1'(如图 5-5 所示)。接收端在响应中断时需检查 PRX_PHR_ERR 与 PRX_CRC_ERR 指示位 (0x0C 寄存器) 判断所收取包 PHR 与 PSDU 是否正确。

5.2.2 直接FIFO帧结构中断

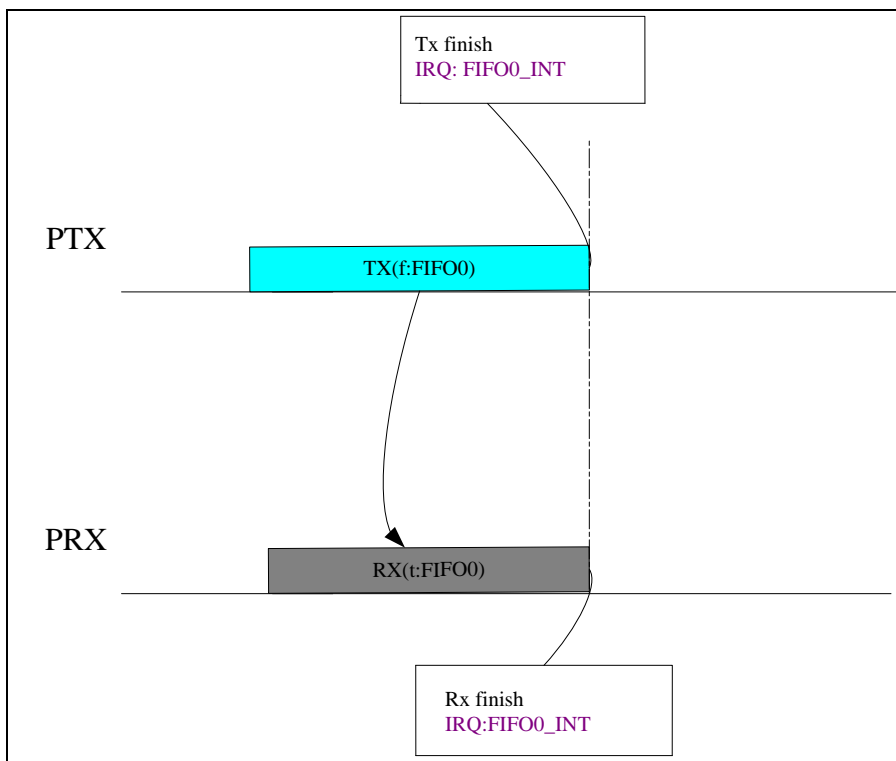


图 5-6 直接 FIFO 帧结构中断示意图

直接 FIFO 帧结构情况下，PRX 在接收数据包完成后中断标志位 FIFO0_INT 将置'1'，收

发完成条件配置详见 7.2 章节说明。

5.3 SPI通信接口

HW3002 支持 4 线 SPI 通信接口，可访问芯片内部寄存器与接收 FIFO，支持对 FIFO 连续读操作。

5.3.1 SPI帧格式

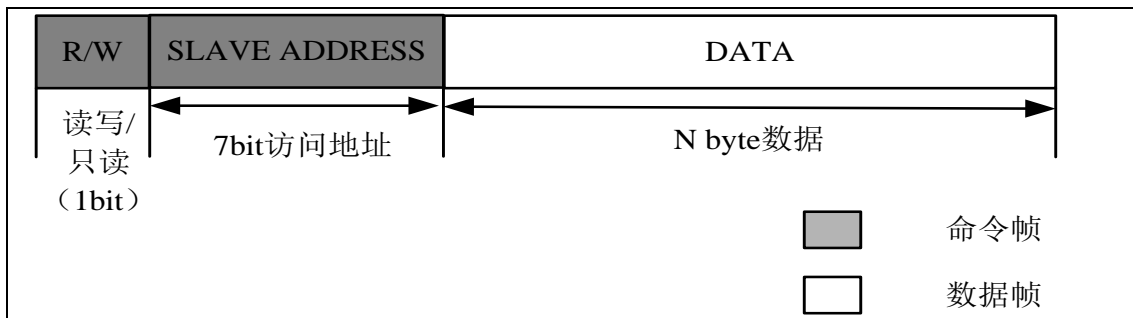


图 5-7 SPI 帧格式

SPI 帧格式由命令帧与数据帧两部分构成。

其中 8bits 命令帧首位为读写控制位，'0'为只读操作，'1'为读写操作（读取某寄存器值的同时可以写入值，对 FIFO 为只写操作），后 7 位为读写地址位。

数据帧按 SPI 接口访问对象不同有所区别，若 SPI 访问内部寄存器则数据帧固定为 2bytes，若 SPI 访问 FIFO，在非连读连写情况下为 1byte（内部 FIFO 数据宽度），在连读连写情况下数据帧长度由主设备访问长度决定。

数据格式为高位（MSB）在前低位（LSB）在后。

5.3.2 寄存器访问时序

SPI 接口读写寄存器操作时序如图 5-8 与图 5-9 所示。

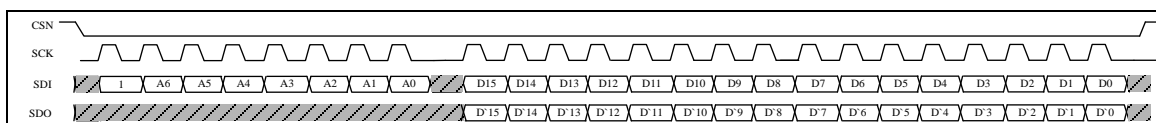


图 5-8 SPI 写寄存器时序

注：写寄存器时 SDO 送出的 D'x 为所访问寄存器的原值。

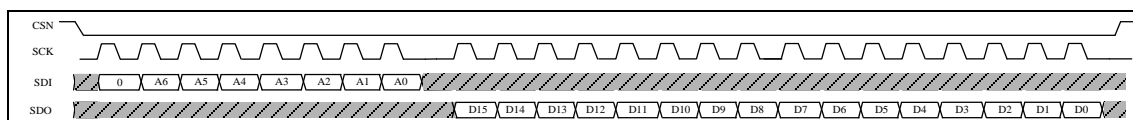


图 5-9 SPI 读寄存器时序

5.3.3 FIFO访问时序

FIFO 支持连续读操作，最小单位为 1byte，FIFO 访问地址为 0x70。SPI 接口连续读 FIFO

操作时序如下图所示。

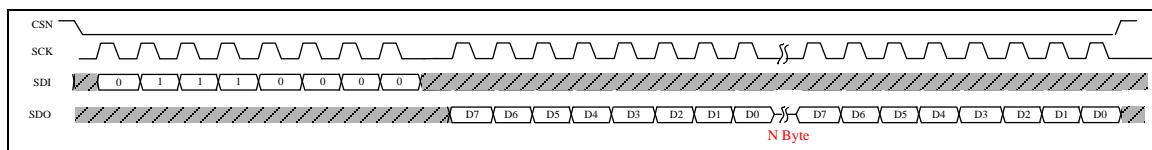


图 5-10 SPI 连续读 FIFO 时序

5.3.4 SPI 时序参数

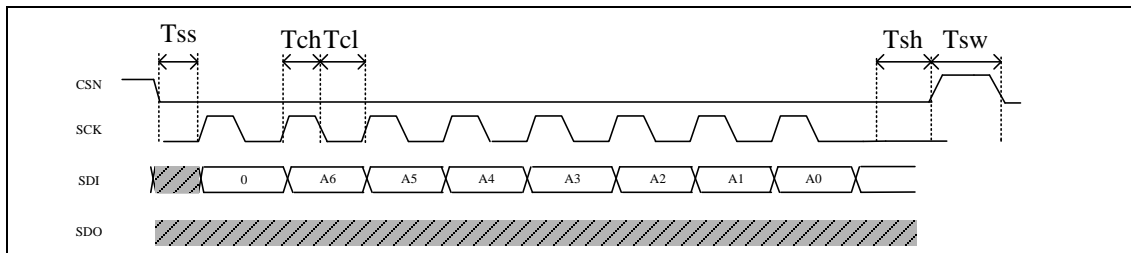


图 5-11 SPI 时序参数示意图

Symbol	Parameter	T(ns)
Tss	Select setup time	20
Tcl	Clock low time	62.5
Tch	Clock high time	62.5
Tsh	Select hold time	40
Tsw	Select high period	200

表 5-1 推荐 SPI 时序（8MHz）参数

5.4 GPIO 配置

HW3002 支持四组 GPIO，分别为 GPIO0、GPIO1、GPIO2、GPIO3，可通过寄存器 IO_CFG0（0x1D）及 IO_CFG1（0x1E）对 GPIO 进行配置。

GPIO 默认状态如表 5-2 所示：

GPIO	默认状态
GPIO0	POR 输出
GPIO1	POR 反向输出
GPIO2	芯片时钟输出（晶振频率/64）
GPIO3	保留状态（输入）

表 5-2 GPIO 默认状态

当 GPIO 设置为输入功能时（GPIO_n_IE = '1'），通过寄存器 GPIO_n_PE 可以配置 GPIO 管脚的上拉功能，在默认状态下，GPIO 管脚无上拉电阻。当设置 GPIO_n_IE 为'0'时，屏蔽 GPIO 的外部输入，芯片内部接收为低电平，默认状态下，GPIO 不屏蔽外部输入。

当 GPIO_n_FUN 配置为输出功能时，GPIO 的输出使能自动打开，GPIO_n 的输出有效电平可以通过 GPIO_n_PORITY（0x1C）进行配置；通过寄存器 GPIO_n_DS 可以配置 GPIO 的输出驱动电流，芯片的默认状态为大电流模式。

GPIO 支持内部 clock 输出功能（设置 GPIO_n_FUN=5'b01111），以方便某些低 BOM 应用场合，向主控 MCU 提供时钟。

芯片上电默认从 GPIO2 输出主晶振 64 分频时钟，用户可配置 GPIO_n_FUN 选择其它 GPIO，输出时钟频率可通过寄存器 CLKCFG（0x1C）配置。

当设置 LPFEN（0x1C）为'1'且 WDT_EN 为'1'时，当芯片进入 SLEEP(RC)模式后将自动切换为 RC 时钟输出。

第6章 频点与数据传输参数设置

6.1 频点设置

HW3002 共支持 315/433/779/868/915MHz 5 个典型频段，其中 433MHz 频段频点支持默认设置与直接设置两种模式，其余频段只支持直接设置模式。HW3002 支持 20/26MHz 晶振，对于不同的晶振，支持的频点范围为：

- ◇ 270-348MHz/403-522MHz/806-1045MHz (26MHz 晶振)
- ◇ 235-522MHz/700-1045MHz (20MHz 晶振)

芯片默认配置下支持 433 频段，779 频段仅在 20MHz 晶振模式下支持。详细频段设置参考《应用笔记_HW3002_User_Guide》2.4 章节相关说明。

6.1.1 频点默认设置模式

在数据收发时，收发两端的频点设置值必须一致。

频点起始值可以通过寄存器 `rf_freq_base` (0x2F) 配置，信道间隔由寄存器 `ch_space` (0x2F) 配置，信道号可通过寄存器 `channel1~channel8` (0x28~0x2B) 配置。

其中 `channel1` 为主信道号，`channel2~channel8` 为从信道号，从信道号只在信道跳频模式开启后有效。信道号的取值可以从 0 到 255，也就是在单个应用中最多支持 256 个信道。

`rf_freq_base` 寄存器设置值以 100kHz 为单位，即起始频点为：

$Rf_freq_base * 100(\text{kHz})$ 。

(例：需要的起始频点为 433MHz，`rf_freq_base` 设置值为 0x10EA，即十进制数 4330)

`ch_space` 确定频点间隔：

- 00: 间隔为 100kHz
- 01: 间隔为 200kHz
- 10: 间隔为 400kHz
- 11: 间隔为 800kHz

最终发送或接收的主信道频点值为：

$(RF_FREQ_BASE + CHANNEL1 * 2^{CH_SPACE}) * 100(\text{kHz})$ 。

6.1.2 频点直接设置模式

在直接频点设置模式下 (`RF_PLL_DIRECT = '1'`, 0x30 寄存器)，可通过软件直接设置 Sigma-Delta 调制器的整数部分 (Integer) 和小数部分 (Fraction) 分频比。

整数部分可通过 `RF_FREQ_BASE` 寄存器设置，小数部分可通过 `RF_FREQ_FRACTION` 寄存器 (0x30、0x31) 设置，具体的计算公式如下：

$$RF_FREQ_BASE = \text{floor}(f_c * k_{\text{freq}} / f_{\text{xtal}})$$

$$RF_FREQ_FRACTION = \text{round}((f_c * k_{\text{freq}} / f_{\text{xtal}} - \text{Integer}) * 2^{21})$$

其中， f_c 为需要设置的信号载波频率， f_{xtal} 为使用晶振的频率，系数 k_{freq} 配置详见表 6-1。

k _{freq} 值配置	
PLLTRXLB_SEL	k _{freq}
2'b00	2
2'b01	4
2'b10	6

表 6-1 系数 k_{freq} 配置表

直接频点设置顺序:

- 1.使能 rf_pll_direct 并设置 rf_freq_fraction 寄存器
- 2.设置 rf_freq_base 寄存器

注: 直接设频点模式下, 芯片从 DEEP SLEEP/SLEEP 唤醒后需重新配置频点。

6.1.3 跳频接收模式

HW3002 支持硬件跳频接收功能 (HOP_ENABLE = '1', 0x2D 寄存器)。在硬件跳频接收模式下, 接收端将以设定的时间间隔扫描需要的各个频点, 当发现某一频点接收到有效信号后, 接收会停留在该频点完成数据包的接收。

系统最大可以扫描 8 个频点, 具体需要扫描的频点数可以通过寄存器 HOP_NUM (0x2D) 设置, 各扫描频点可以通过寄存器 CHANNEL1~CHANNEL8 设置。

在频点默认设置模式下各信道频点: 主信道频点+Δf1(CH_SPACE 设置的频点间隔)*CHANNELN

在频点直接设置模式下各信道频点: 主信道频点+Δf2(HOP_SPACE (0x3C、0x3D) 设置的频点间隔)*CHANNELN

每个频点的扫描时间间隔可以通过寄存器 HOP_TIMER (0x2D) 设置, 实际的扫描时间间隔为:

$$T_s = (HOP_TIMER+LP_TIMER) * 1/(10^3*DR_GFSK)$$

其中 DR_GFSK 为数据速率 (kbps), LP_TIMER (0x25) 为低功耗接收模式时间配置。

跳频锁定的频点与当前跳频所在频点可通过寄存器 HOPCH (0x3F) 读取。

注: 跳频中的有效信号可选择接收信号能量满足条件或接收到有效前导, 可通过 HOP_SEL 寄存器 (0x25) 配置。

6.2 数据传输参数设置

6.2.1 数据速率设置

HW3002 支持数据速率为 1.2~100kbps，可通过寄存器 SYMBOL_RATE (0x32、0x33) 设置，具体设置方法如下：

$$\text{SYMBOL_RATE} = \text{round}((\text{DR_GFSK} * 2^{22}) / (2 * 10^6))$$

其中 DR_GFSK 为数据速率 (kbps)。

例如：选择速率速率为 10kbps， $\text{SYMBOL_RATE} = \text{round}((10 * 10^3 * 2^{22}) / (2 * 10^6)) = 20972$ ，转换为 16 进制为 18'h051EC。

6.2.2 调制特性设置

◇ GFSK BT

通过寄存器 BT_MODE (0x25) 将 BT 设置为 0.5 或者 1，默认为 0.5。

◇ 调制频偏

$$\text{DEVIATION} = \text{round}(f_{\text{dev}} * k_{\text{dev}} / f_{\text{xtal}})$$

其中 f_{dev} 为期望调制频偏，支持范围为 0~50kHz， f_{xtal} 为芯片使用的晶振频率，系数 k_{dev} 配置详见表 6-2。

k _{dev} 值配置	
PLLTRXLB_SEL	k _{dev}
2'b00	2 ¹⁵
2'b01	2 ¹⁶
2'b10	3*2 ¹⁵

表 6-2 系数 k_{dev} 配置表

例如：期望调制频偏：25kHz，使用晶振频率 26MHz。

$$\text{deviation} = \text{round}((25 * 10^3 * 2^{16}) / (26 * 10^6)) = 63$$
，转换为 16 进制为 10'h03F。

6.2.3 接收滤波器带宽设置

通过设置寄存器 FILTER2_BAND (0x2E) 可以改变接收端的滤波器带宽，使用的滤波器带宽值为

$$\text{BW} = (\text{FILTER2_BAND} + 1) * 1\text{kHz}$$

可配置的范围 1kHz ~ 128kHz。

第7章 接收操作流程

7.1 增强型帧结构接收流程

增强型帧结构接收流程详细参考《应用笔记_HW3002_User_Guide》1.3.1 章节。

对于 PRX，硬件在正确同步 SFD 之后解析 PHR，得到包括数据长度在内的相关信息，然后向 FIFO 内填写接收的 PSDU 数据，接收完成后中断标志位 FIFO0_INT 将置'1'。

软件可读取 PHR 数据 (RX_PHR0 和 RX_PHR1)、FIFO 的数据以及 CRC 的校验值 (CRCVAL)，之后需软件清中断标志位 FIFO0_INT。下图为简单的 PRX 接收流程图。

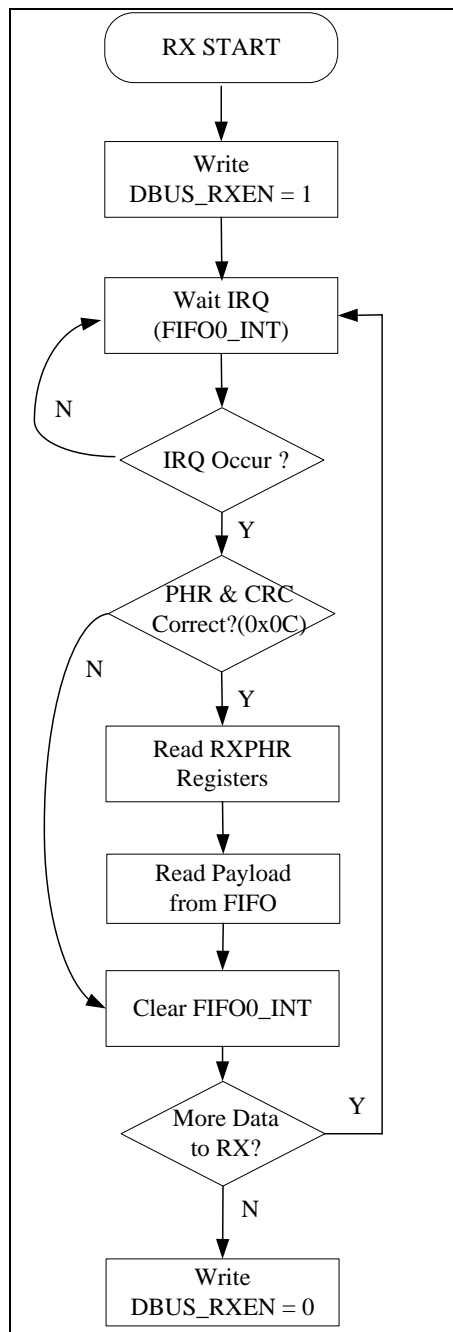


图 7-1 PRX 接收流程图

注 1: 关闭接收使能后需等待 $3 \cdot T_{\text{symb}}$ 以上的时间间隔后才能再次使能接收。直接 FIFO 帧结构收发流程

7.2 直接FIFO帧详细收发流程

直接 FIFO 帧详细接收流程参考《应用笔记_HW3002_User_Guide》1.3.2 章节。

若配置 LEN0_RXMODE 为'1'， PRX 按照 LEN0_PKLEN 设置值进行接收。PRX 可通过响应半满中断标志 HALF_FULL_INT 获取 FIFO 内收取数据包携带的长度信息，并根据该长度信息设置接收数据长度寄存器 LEN0_PKLEN, PRX 接收完成后将中断标志 FIFO0_INT 置'1'；

若配置 LEN0_RXMODE 为'0'， PRX 按照用户设定的帧长信息配置（如图 7-2）自动完成接收。帧长信息配置详见寄存器 0x0E，PTX 需按照规定的帧长信息位置、长度等配置信息填充发送 FIFO，PRX 自动识别帧长信息接收完成后将中断标志 FIFO0_INT 置'1'。

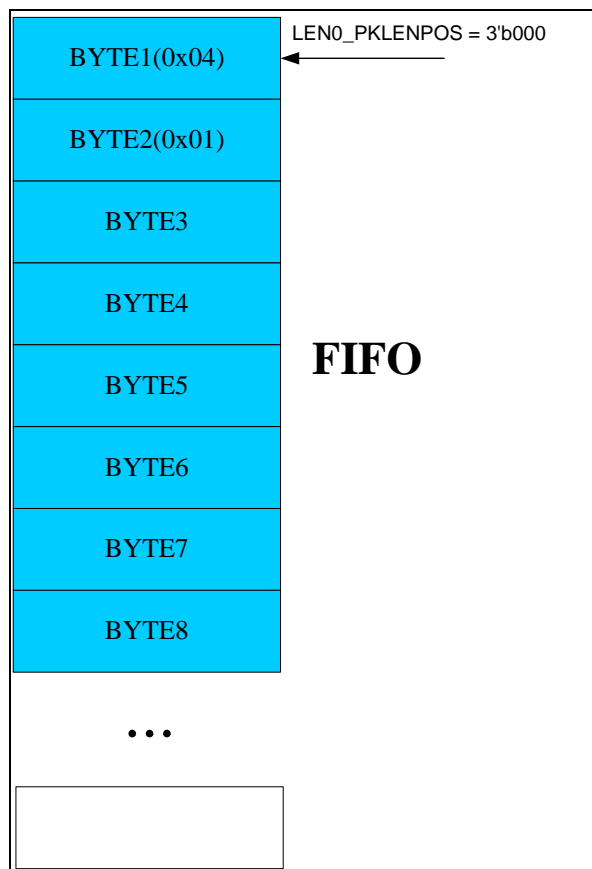


图 7-2 帧长信息配置示意图

以上图为例，若设定 LEN0_PKLENPOS = 3'b000，则 FIFO 内以第一个 byte 作为自动接收帧长信息起始 byte。

- ◇ 若 LEN0_PKLENBYTES = '0'，则以 0x04 作为自动接收帧长度信息，PRX 将共接收 $4 + \text{LEN0_PKLENADD}$ bytes 数据后停止接收，其中 LEN0_PKLENADD (0x4E) 为额外接收 byte 数寄存器，由软件根据需要调整。
- ◇ 若 LEN0_PKLENBYTES = '1'， LEN0_PKLENPOLAR = '0'，则以 0x0401 作为自动接收帧长度信息，PRX 将共接收 $1025 (0x0401) + \text{LEN0_PKLENADD}$ bytes 数据后停止接收。
- ◇ 若 LEN0_PKLENBYTES = '1'， LEN0_PKLENPOLAR = '1'，则以 0x0104 作为自

动接收帧长度信息，PRX 将共接收 260 (0x0104) +LEN0_PKLENADD bytes 数据后停止接收。

在直接 FIFO 帧结构下，若接收长度大于 256bytes，需要借助接收半满中断配合完成收发流程。

注：在使能接收前，建议软件可以先将 LEN0_PKLEN 设置为较大的初始值，以便留出足够的时间给软件获取 FIFO 内收取数据包携带的长度信息并填入 LEN0_PKLEN 寄存器，防止 FIFO0_INT 的误触发。

7.3 直接接收DIRECT模式

设置 DIRECT_MODE 寄存器，芯片进入直接接收模式。

接收端可以通过 IRQ (DIRECT_IE = '1') 或 GPIO(GPIO_n_FUN = 5'b00100)端口输出接收同步时钟，通过 GPIO(GPIO_n_FUN = 5'b00101)端口输出接收数据。

具体 GPIO 的设置可参考第 12 章寄存器设置。

直接接收数据的时序如下图所示：

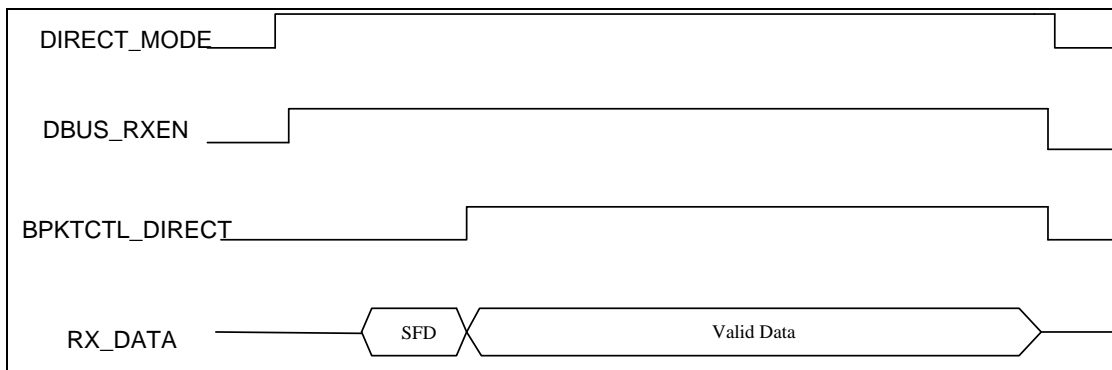


图 7-3 直接接收模式时序图

当 DBUS_RXEN 置高 300us 左右后，接收机能够正常的接收数据，当发现有效的 SFD 以后，需将 BPKTCTL_DIRECT 置高，调整接收机的环路带宽，提高接收机性能。

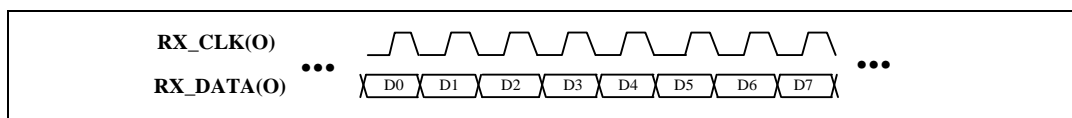


图 7-4 直接接收模式数据时序示意图

直接接收模式下数据与时钟的时序如图 7-4 所示。接收端 MCU 可依据芯片输出的 RX_CLK，上升沿采样输出的接收数据 RX_DATA。

第8章 芯片唤醒

8.1 Wake-up Timer唤醒

HW3002 支持 32.768kHz 的内部 RC 时钟，用于芯片在 SLEEP(RC)模式下的自动唤醒。

Wake-up Timer 唤醒功能需设置 WDT_EN = '1'，WDT_IE = '1'，自动唤醒间隔可通过寄存器 WDT_WTM (0x1F) 与 WDT_WTR (0x20) 配置。唤醒间隔 (s)：

$$T_{wut} = \frac{32 \times (WDT_WTR + 1) \times (WDT_WTM + 1)}{32768}$$

Wake-up Timer 计数器溢出时，芯片将中断标志 WDT_INT 置'1'，并从 SLEEP(RC)状态唤醒，可进行正常收发操作，软件清中断标志位 WDT_INT 后芯片再次进入 SLEEP(RC)状态。

若 WDT_IE = '0'，Wake-up Timer 计数器溢出时将不会唤醒芯片，可通过配置 GPIOn_FUN，将 Wake-up Timer 的计时器溢出标志脉冲通过 GPIO 送出。

8.2 GPIO外部中断唤醒

GPIO 外部中断唤醒功能需设置 EXTn_IE = '1'，支持上升沿、下降沿、双边沿电平唤醒，详见 GPIOn_FUN 寄存器配置。

芯片响应外部中断后标志位 EXTn_INT 将置'1'，芯片从 SLEEP(RC)状态被唤醒后可进行正常收发操作，软件清中断标志位 EXTn_INT 后芯片再次进入 SLEEP(RC)状态。

若使能 EXTn_IE，外部中断标志位 EXTn_INT 通过 IRQ 引脚输出。

第9章 RC校准

芯片内部 RC 支持软件校准与硬件自动校准两种模式，可由 RCCODE_SEL 寄存器（0x38）配置。

9.1 软件校准

软件校准模式下，调整 WDT_CAL 寄存器（0x38）值可调整内部 RC 时钟频率，具体可参考 WDT_CAL 寄存器说明。

9.2 硬件自动校准

硬件自动校准需在芯片处于 IDLE 模式下完成，配置 RCCAL_STEN 寄存器（0x3A）可支持单次校准与连续校准两种模式。校准完成后 CAL_DONE 标志位（0x39）将置'1'，并可通过 RCCODE 寄存器（0x39）获取 RC 校准配置字。

第10章 异常状态的检测及复位

10.1 芯片异常状态检测

寄存器 CHIPSTA1(0x36)提供芯片内部电路的工作状态，如表 10-1 所示：

芯片状态	CHIPSTA1(HEX)
SLEEP/DEEP SLEEP	0x0777
IDLE	0x0077
RX (进入接收状态 100us 之后)	0x000D

表 10-1 CHIPSTA1 各状态说明

如果在相关状态下，0x36 寄存器的读取值与参考值不符，则说明芯片工作进入异常状态，可根据需要通过 PDN 端口或软件复位对芯片进行复位操作。

10.2 寄存器与FIFO校验功能

芯片提供寄存器与 FIFO 写入数据的校验功能，以防止 SPI 通信过程中受到外界干扰可能造成的误写，校验寄存器为 REGCHECK(0x6F)。

若需要对 SPI 写入值进行校验，软件在进行寄存器写入或 FIFO 写入之前，读取 REGCHECK 寄存器初始值，将之后的写入数据以 byte 为单位（寄存器写入先校验高 byte，再校验低 byte）与 REGCHECK 初始读取值进行异或计算。在数据写入完成之后，通过比较软件计算的校验值与 REGCHECK 当前读取值是否一致，判断 SPI 写入数据是否有误。

10.3 芯片复位

芯片从 POWER DOWN 状态恢复至 IDLE 状态过程中内部 POR 将复位全芯片。

芯片从 DEEP SLEEP/SLEEP 恢复至 IDLE 状态，芯片除寄存器将全部被复位。

芯片共提供两种软复位方式，分别为 SFT_RST0 (0x60) 和 SFT_RST1 (0x61)，其中：

SFT_RST0 复位硬件电路与 FIFO 而保留原有的寄存器设置值；

SFT_RST1 进行全芯片复位，寄存器同时也会被复位成默认值。

第11章 其它功能与设置

11.1 白化与CRC

芯片支持数据的白化功能，以增强长'0'或长'1'类型数据的传输能力。可以通过寄存器 SCRAMBLE_ON (0x02) 开启白化功能，白化种子可通过寄存器 SCRAMBLE_DATA (0x05) 设置，若 SCRAMBLE_DATA 设置为全 0 则不具备白化功能。

增强型帧结构白化区域为 PHR-PSDU-FCS；直接 FIFO 帧结构白化区域为 FIFO 内的填充数据。

其基本数据流为：

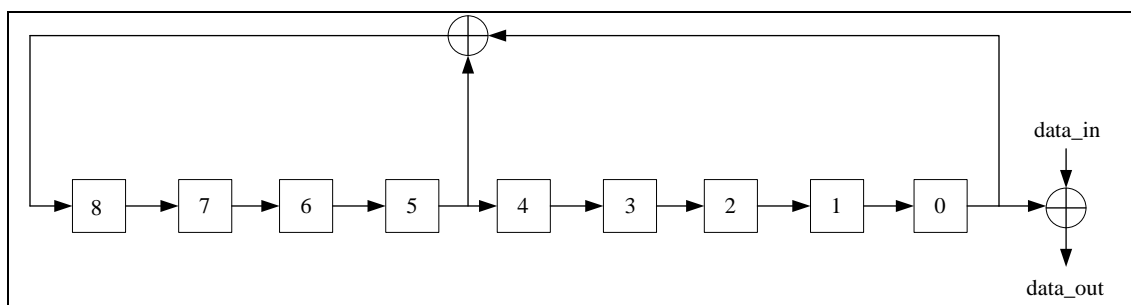


图 11-1 PN9 数据白化生成器

增强型帧结构 CRC 校验范围为 PHR-PSDU。

增强型帧结构支持 CRC 硬件实现与软件实现两种模式，可通过 LEN1_CRCSEL 寄存器配置。若选用软件实现 CRC 功能，接收端可通过 PRX_CRC_ERR 标志位判断接收数据包 CRC 校验是否正确，也可通过 CRCVAL 寄存器读取接收到的 CRC 由软件自行校验。

硬件 CRC 选用的生成多项式为 $G(X) = 1 + X^5 + X^{12} + X^{16}$ ，其实现的移位反馈寄存器的逻辑如图 11-2 所示，生成后的 CRC 会进行取反操作，然后跟随在数据之后进行发送。移位反馈寄存器初始值可通过寄存器 CRC_INIT_DATA (0x04) 设置。

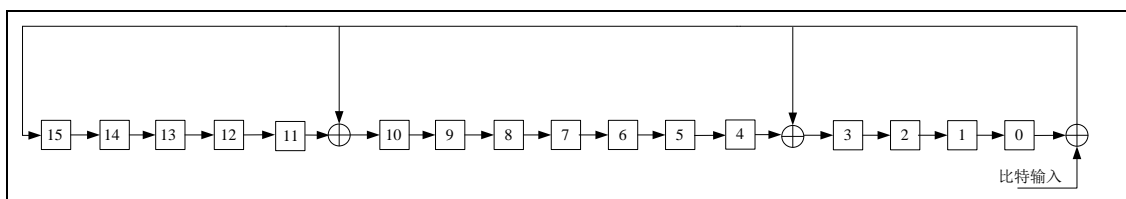


图 11-2 CRC 硬件实现示意图

直接 FIFO 帧结构不支持硬件 CRC 功能。

11.2 FEC

增强型帧结构模式下支持数据自动的 FEC 纠错码功能，码率 R 为 2/3。使用 FEC 可以在一定程度上纠正传输中的传输错误，可以提高系统在低信噪比环境下传输成功率，但 FEC 会增加冗余数据，增加数据包的传送时间。可以通过配置寄存器 FEC_ON (0x02) 使能 FEC 功能。

注：白化或 FEC 功能需在 PTX 和 PRX 两方同时开启或关闭。

11.3 数据编码

芯片支持 Manchester 与 8bit/10bit line code 两种编码方式，可通过 PACK_TYPE (0x02) 寄存器配置，默认不对数据进行编码。

增强型帧结构编码区域为 PHR-PSDU-FCS；直接 FIFO 帧结构编码区域为 FIFO 内的填充数据。

11.4 RSSI

在接收模式时，芯片会评估天线端接收信号能量的大小，该数值会保存在寄存器 RSSI (0x23) 中。RSSI 的读数单位为 dBm，数据的格式为二进制补码形式的符号数。在 RSSI 寄存器里提供两个 RSSI 读数，其中 RSSI1 保存的是上一个有效数据包 (SFD 正确同步) 的 RSSI 计算值，而 RSSI2 中保存的是实时的 RSSI 计算值，可用于 CSMA/CA 工作。

11.5 载波检测 (Carrier Detect)

芯片支持载波检测功能，即在接收模式时，芯片会监控带内的接收信号能量，当接收信号能量大于设置的域值后，芯片将给出载波检测指示信号。

载波指示的能量域值可通过寄存器 CDTH (0x27) 设定，当输入信号能量大于 CD_TH1 设置值后，载波检测指示位 CD 会置高，当信号能量降低并小于 CD_TH2 的设置，载波检测指示位 CD 将立刻复位。

CD_TH1 和 CD_TH2 设置值单位为 dBm，数据格式为二进制补码形式的符号数。

建议的 CD_TH1 与 CD_TH2 的设置方法：

1. 在接收灵敏度点读取 RSSI 寄存器值；
2. CD_TH1 的设置值为 $RSSI - 2dBm$ ；
3. CD_TH2 的设置值为 $RSSI - 5dBm$ 。

CD 信号可通过配置从 GPIO 输出，当 CD 信号置高时，RSSI_INT 中断标志位将置'1'。

11.6 AFC及晶振的校准功能

在接收与发送之间，由于使用晶振的自身因素、温度、电压工作环境等变化的原因，可能造成收发晶振的频率不一致，进而引起收发两端的载波频偏。

芯片在接收端提供载波频偏自动补偿功能（AFC），可通过 AFC_EN（0x25）寄存器使能。AFC 补偿范围为 $\pm 20\text{kHz}$ ，在 433MHz 的工作频段，补偿范围约为 $\pm 40\text{ppm}$ 。由于该补偿范围包括了收发两端的晶振偏差，则对于单端晶振，其频率变化需控制在 $\pm 20\text{ppm}$ 以内。

晶振校准寄存器为 XOSC_CAL(0x37)，设置值支持 0x00 至 0xFF，步长约 15Hz。

11.7 有效/无效前导检测

芯片提供有效前导码的检测功能。在有效前导检测长度时间内若发现有效前导序列，有效前导检测中断标志 PREDET_INT 将置'1'，有效前导检测长度可以通过寄存器 PRENUM（0x24）配置。

接收端前导码检测的长度必须小于发送数据的前导序列，考虑到 AGC 及 AFC 功能的时间开销，推荐接收前导检测的长度应比发送前导序列少 8 ~ 16bits。默认的前导检测长度为 32bits。

为方便跳频应用，芯片还提供无效前导的检测功能。在无效前导检测长度时间(详见 0x24 寄存器说明)内若未发现有效前导序列，则无效前导检测中断标志 INVPREDET_INT 将置'1'，无效前导检测长度可配置 INV_PRENUM 寄存器（0x24），默认的 INV_PRENUM 设置长度为 16bits。

通过配置中断使能 PREDET_IE/INVPREDET_IE 或 GPIO 功能寄存器，有效前导检测中断标志 PREDET_INT 及无效前导检测中断标志 INVPREDET_INT 可以通过 IRQ 或任意 GPIO 管脚输出。

11.8 有效/无效SFD检测

芯片支持 1~6bytes 可配置长度的 SFD 地址，长度可通过 SYNCWORD_LEN 寄存器设置，地址可通过寄存器 0x14~0x1A 设置。PRX 在接收到可同步的 SFD 地址后，中断标志 SFDDDET_INT 将置'1'。

为方便软件跳频等应用，PRX 在检测到有效前导之后，若在 INVSFD_TIME（0x4F）设定时间长度内没有检测到有效 SFD，无效 SFD 中断标志 INVSFDDDET_INT 将置'1'。

通过配置中断使能 SFDDDET_IE/INVSFDDDET_IE 或 GPIO 功能寄存器，有效 SFD 中断标志 SFDDDET_INT 及无效 SFD 中断标志 INVSFDDDET_INT 可以通过 IRQ 或任意 GPIO 管脚输出。

11.9 低功耗接收模式

芯片提供低功耗的接收模式，可通过设置寄存器 LP_ENABLE（0x25）使能该工作模式。

在低功耗接收模式下，接收功耗约为正常接收功耗的：

$$\text{HOP_TIMER}/(\text{HOP_TIMER}+\text{LP_TIMER})$$

第12章 寄存器

12.1 寄存器列表

地址	寄存器名称	功能说明	复位值
0x00	RFID	RF ID 版本号	-
0x01	TRCTRL	收发使能寄存器	0x0000
0x02	PKTCTRL	帧结构选择寄存器	0xC000
0x03	PKTCFG0	帧配置寄存器 0	0x4008
0x04	CRCSEED	CRC 移位寄存器初始值寄存器	0xFFFF
0x05	PKTCFG1	帧配置寄存器 1	0x11FF
0x06	FIFOTHRES	FIFO 阈值寄存器	0x1010
0x09	PSDULEN	增强型帧结构发送 PSDU 长度配置寄存器	0x0100
0x0A	RXPHR0	增强型帧结构接收 PHR 寄存器 0	-
0x0B	RXPHR1	增强型帧结构接收 PHR 寄存器 1	-
0x0C	FIFOCTRL	FIFO 控制寄存器	0x000E
0x0D	LEN0PKLEN	直接 FIFO 帧结构长度配置寄存器	0x0080
0x0E	FIFOSTA	FIFO 状态寄存器	0x0000
0x0F	INT	中断标志位寄存器	-
0x10	INTIE	中断使能寄存器	0x8001
0x11	INTIC	中断标志清'0'寄存器	-
0x12	CRCVAL	CRC 寄存器	0x0000
0x13	PIPECTRL	PIPE 控制寄存器	0x0001
0x14	P0ADDR0	PIPE0 SFD 地址低 16bit	0xF398
0x15	P0ADDR1	PIPE0 SFD 地址中间 16bit	0xF398
0x16	P0ADDR2	PIPE0 SFD 地址高 16bit	0xF398
0x17	P1ADDR0	PIPE1 SFD 地址低 16bit	0xC2C2
0x18	P1ADDR1	PIPE1 SFD 地址中间 16bit	0xC2C2
0x19	P1ADDR2	PIPE1 SFD 地址高 16bit	0xC2C2
0x1A	P23ADDR	PIPE2/PIPE3 SFD 地址低 8bit	0x58A7
0x1B	CHIPSTA0	芯片状态指示寄存器 0	-
0x1C	MODECTRL	芯片模式控制寄存器	0x1046
0x1D	GPIOCFG0	GPIO 配置寄存器 0	0xC0C0
0x1E	GPIOCFG1	GPIO 配置寄存器 1	0xCFDF
0x1F	WDTCFG0	WDT 配置寄存器 0	0x0010
0x20	WDTCFG1	WDT 配置寄存器 1	0x0081
0x21	WDTWDV	WDT 计数值指示寄存器	-
0x22	AGCGAIN	AGC 指示寄存器	-
0x23	RSSI	RSSI 指示寄存器	-
0x24	PREACFG	Preamble 配置寄存器	0x0208
0x25	MODEMCTRL	MODEN 控制寄存器	0x1201

0x26	IFSET	中频设置寄存器	0x2CCD
0x27	CDTH	CD 阈值寄存器	0x8281
0x28	CHCFG0	CHANNEL 配置寄存器 0	0x0000
0x29	CHCFG1	CHANNEL 配置寄存器 1	0x0000
0x2A	CHCFG2	CHANNEL 配置寄存器 2	0x0000
0x2B	CHCFG3	CHANNEL 配置寄存器 3	0x0000
0x2C	DEVIATION	调制频偏设置寄存器	0x003F
0x2D	HOPCFG	跳频配置寄存器	0x1566
0x2E	FILTERBAND	接收滤波器带宽设置寄存器	0x004A
0x2F	FREQCFG0	频点设置寄存器 0	0x325C
0x30	FREQCFG1	频点设置寄存器 1	0x0000
0x31	FREQCFG2	频点设置寄存器 2	0x0000
0x32	SYMRATE0	数据速率配置寄存器 0	0x0051
0x33	SYMRATE1	数据速率配置寄存器 1	0x00EC
0x35	RFCFG	模拟前端配置寄存器	0x3332
0x36	CHIPSTA1	芯片状态指示寄存器 1	-
0x37	XOSCCAL	晶振校准寄存器	0x0080
0x38	RCCFG0	RC 校准配置寄存器 0	0x18C3
0x39	RCSTA	RC 校准状态寄存器	-
0x3A	RCCFG1	RC 校准配置寄存器 1	0x002A
0x3C	HOPSPACE0	跳频频点间隔设置寄存器 0	0x0000
0x3D	HOPSPACE1	跳频频点间隔设置寄存器 1	0x7E08
0x3E	RSSICFG	RSSI 配置寄存器	0x021D
0x3F	HOPCH	跳频频点指示寄存器	-
0x40	PACFG	PA 配置寄存器	0x003F
0x45	ACKCFG	ACK 配置寄存器	0x30FF
0x4D	FIFOPTR	FIFO 指针寄存器	0x0000
0x4E	LEN0RXADD	直接 FIFO 帧结构接收补偿寄存器	0x0003
0x4F	INVSFDTIME	无效 SFD 延时计数寄存器	0x0020
0x60	SFTRST0	软件复位寄存器 0	-
0x61	SFTRST1	软件复位寄存器 1	-
0x6F	REGCHECK	寄存器与 FIFO 写入数据校验寄存器	0x0000
0x70	FIFODATA	FIFO 访问寄存器	-

表 12-1 寄存器列表

12.2 寄存器说明

寄存器	RFID				
地址	0x00				
复位值	-				
位名称	位	读写	位说明	1	0
RF_VER_ID	15:0	R	RF ID 版本号	-	

表 12-2 RFID 寄存器说明

寄存器	TRCTRL				
地址	0x01				
复位值	0x0000				
位名称	位	读写	位说明	1	0
-	15:9	-	-	-	
DBUS_TXEN	8	R/W	发送使能 (DBUS_TXEN 与 DBUS_RXEN 不能同时设为'1')	发送使能	发送关闭
DBUS_RXEN	7	R/W	接收使能 (DBUS_TXEN 与 DBUS_RXEN 不能同时设为'1')	接收使能	接收关闭
-	6:0	-	-	-	

表 12-3 TRCTRL 寄存器说明

注：关闭接收使能后需等待 $3 \cdot T_{\text{symb}}$ 以上的时间间隔后(等待 FSM_IDLE='1'之后)才能再次使能发送或接收。
T_{symb} 为数据速率周期，如数据速率为 10Kbps，则 T_{symb} = 100 us。

寄存器	PKTCTRL				
地址	0x02				
复位值	0xC000				
位名称	位	读写	位说明	1	0
PACK_LENGTH_EN	15	R/W	芯片帧模式选择位	增强型帧结构	直接 FIFO 帧结构
LEN0_TXMODE	14	R/W	直接 FIFO 帧结构发送完成模式配置	读写指针相等时发送结束	发送长度按 LEN0_PKLEN 设置值发送
LEN0_TXCWMODE	13	R/W	单载波发送模式使能位	使能	不使能
LEN1_CRCSEL	12	R/W	增强型帧结构模式下 CRC 生成配置	CRC 由软件生成 (自动 ACK 使能情况下不支持)	CRC 由硬件生成
-	11:9	R/W	-	-	
LEN0_RXMODE	8	R/W	直接 FIFO 帧结构接收完成模式配置	接收长度按 LEN0_PKLEN 设置值接收	芯片自动识别包长度进行接收 (详见 8.2 章节描述)
-	7:6	-	-	-	
SFD_OPT	5:4	R/W	SFD 同步前提条件选择配置	00:valid preamble 01:valid CD 10/11:NONE	
PACK_TYPE	3:2	R/W	芯片编码方式选择	00/11: NRZ raw data 01: Manchester data type 10: 8bit/10bit line code	
FEC_ON	1	R/W	FEC2/3 使能信号 (只针对增强型帧结构)	使能	不使能
SCRAMBLE_ON	0	R/W	白化使能信号	使能	不使能

表 12-4 PKTCTRL 寄存器说明

寄存器名称		PKTCFG0				
地址	0x03					
复位值	0x4008					
位名称	位	读写	位说明	1	0	
SYNCWORD_LEN	15:13	R/W	SFD 长度 (SFD 地址设置寄存器为 0x14~0x1A)	000/001: 禁用 010: 2 bytes 011: 3 bytes 100: 4 bytes 101: 5 bytes 110/111: 6 bytes		
PREAMBLE_MODE	12	R/W	发送前导序列 模式选择位	发送序列 10101010	发送序列 01010101	
-	11:10	-	-	-		
PREAMBLE_LEN	9:0	R/W	前导长度 (支持 4~1023bytes)	10'h0~10'h4 : 4 bytes Others: given value used as length		

表 12-5 PKTCFG0 寄存器说明

寄存器		CRCSEED				
地址	0x04					
复位值	0xFFFF					
位名称	位	读写	位说明	1	0	
CRC_INIT_DATA	15:0	R/W	CRC 移位寄存器初始值	-		

表 12-6 CRCSEED 寄存器说明

寄存器名称		PKTCFG1				
地址	0x05					
复位值	0x11FF					
位名称	位	读写	位说明	1	0	
SYNC_THRES	15:12	R/W	SFD 接收 允许错误个数阈值	建议设为'0'或'1'		
-	11:9	-	-	-		
SCRAMBLE_DATA	8:0	R/W	白化初始值	-		

表 12-7 PKTCFG1 寄存器说明

寄存器名称		FIFOTHRES				
地址	0x06					
复位值	0x1010					
位名称	位	读写	位说明	1	0	
EMPTY_THRES	15:8	R/W	FIFO0 半空阈值	-		
FULL_THRES	7:0	R/W	FIFO0 半满阈值	-		

表 12-8 FIFOTHRES 寄存器说明

寄存器名称		PSDULEN				
地址		0x09				
复位值		0x0100				
位名称	位	读写	位说明	1	0	
-	15:9	-	-	-	-	
AUTO_LEN_CALC	8	R/W	增强型帧结构 硬件自动计算所填 FIFO 内 PSDU 长度使能位	硬件自动计算 PSDU 长度	软件填写 PSDU 长度, 填写 寄存器为 TXPSDU_LEN	
TXPSDU_LEN	7:0	R/W	增强型帧结构 软件填写 PSDU 长度	最大设置值为 252 bytes, 最终 发送的 PHR 帧长硬件自动加 3, 设置值>252 按 252 处理。		

表 12-9 PSDULEN 寄存器说明

寄存器名称		RXPHR0				
地址		0x0A				
复位值		-				
位名称	位	读写	位说明	1	0	
RX_PHR_PSDU_LEN	15:8	R	增强型帧结构接收帧长 (长度为实际 PSDU 长度加 3)	-	-	
RX_PHR_CHANNEL_INDEX	7:0	R	增强型帧结构接收信道索引	-	-	

表 12-10 RXPHR0 寄存器说明

寄存器名称		RXPHR1				
地址		0x0B				
复位值		-				
位名称	位	读写	位说明	1	0	
RX_PHR_STD_IDEF	15:8	R	增强型帧结构接收标准识别号	-	-	
RX_PHR_VERIFY	7:0	R	增强型帧结构接收 PHR 校验	-	-	

表 12-11 RXPHR1 寄存器说明

寄存器名称	FIFOCTRL				
地址	0x0C				
复位值	0x000E				
位名称	位	读写	位说明	1	0
PRX_PHR_ERR	15	R	接收 PHR 校验出错标志位 (只针对增强型帧结构,并且 AUTO_PHR_VERIFY = '1'时有效)	错误	正确
PRX_CRC_ERR	14	R	接收 CRC 校验出错标志位 (只针对增强型帧结构)	错误	正确
PRX_FEC23_ERR	13	R	接收 FEC 校验出错标志位 (只针对增强型帧结构)	错误	正确
PRX_LEN0RXLEN_ERR	12	R	直接 FIFO 帧结构硬件自动识别 帧长信息接收模式下接收 帧长信息错误标志位 (只针对直接 FIFO 帧结构)	错误	正确
PRX_FIFO0_PIPE	11:9	R	PRX FIFO0 中 数据所属的 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PRX_FIFO0_OCPY	8	R	PRX FIFO0 数据填写 完成信号	PRX FIFO0 被占用	PRX FIFO0 未被占用
-	7:5	-	-	-	
PTX_FIFO0_NOACK	4	R/W	告知 PRX 当前帧无需 ACK (只针对增强型帧结构)	NACK	ACK
PTX_FIFO0_PIPE	3:1	R/W	PTX FIFO0 中 数据所属的 PIPE (发送前由软件填写)	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PTX_FIFO0_OCPY	0	W	FIFO 填写完成后, 软件置'1'指示发送 FIFO 有 效, 等待发送。	指示发送 FIFO 有效	无效操作

表 12-12 FIFOCTRL 寄存器说明

寄存器名称	LEN0PKLEN				
地址	0x0D				
复位值	0x0080				
位名称	位	读写	位说明	1	0
LEN0_PKLEN	15:0	R/W	PTX:直接 FIFO 帧结构发送长度配置 PRX:直接 FIFO 帧结构接收长度配置	最大可支持 65535 bytes	

表 12-13 LEN0PKLEN 寄存器说明

寄存器名称		FIFOSTA			
地址		0x0E			
复位值		0x0000			
位名称	位	读写	位说明	1	0
RXZERO_LEN	15	R	PRX 接收到长度为 0 的帧指示位	接收到帧长度为 0	接收到帧长度不为 0
FIFO0_EMPTY	14	R	FIFO0 为空指示位	FIFO0 为空	FIFO0 不为空
WR_PTR_OV	13	R	直接 FIFO 帧结构 FIFO 填写溢出 (>256bytes) 标志位, 可由 CLR_WR_PTR 清'0'或 RD_PTR_OV 置'1'时自动清'0'。	溢出	未溢出
RD_PTR_OV	12	R	直接 FIFO 帧结构 FIFO 读取溢出 (>256bytes) 标志位, 可由 CLR_RD_PTR 清'0'或 WR_PTR_OV 置'1'时自动清'0'。	溢出	未溢出
FIFO0_OCPY	11	R	FIFO 被占用指示位	被占用	未被占用
MAXTXLEN	10	R	发送 FIFO 达到最大发送度 (只针对增强型帧结构)	发送 FIFO 达到最大发送度	发送 FIFO 未达到最大发送度
CLR_RD_PTR	9	W	FIFO 读指针清'0'	读指针清'0'	无效操作
CLR_WR_PTR	8	W	FIFO 写指针清'0'	写指针清'0'	无效操作
-	7:5	-	-	-	
LEN0_PKLENPOLAR	4	R/W	直接 FIFO 帧结构若包长信息设置为 2 个 bytes, 高低 byte 配置位。 (LEN0_RXMODE='0'芯片自动识别帧长接收模式下有效)	0: FIFO 的第一个 byte 为包长高 byte, 第二个 byte 为包长低 byte 1: FIFO 的第一个 byte 为包长低 byte, 第二个 byte 为包长高 byte (详细参考 8.2 章节说明)	
LEN0_PKLENBYTES	3	R/W	直接 FIFO 帧结构包长信息占用的 byte 数 (LEN0_RXMODE='0'芯片自动识别帧长接收模式下有效)	2 个 bytes	1 个 byte
LEN0_PKLENPOS	2:0	R/W	直接 FIFO 帧结构包长信息所在 FIFO 的起始位置 (LEN0_RXMODE='0'芯片自动识别帧长接收模式下有效)	000: byte1 001: byte2 ... 111:: byte8	

表 12-14 FIFOSTA 寄存器说明

寄存器名称	INT				
地址	0x0F				
复位值	-				
位名称	位	读写	位说明	1	0
POR_INT	15	R	POR 中断标志位 (芯片上电后需将此标志位清'0')	中断	无中断
CHIPRDY_INT	14	R	芯片内部时钟 ready, 可进行收发操作中断标志位 (使用前需软件清'0')	中断 (芯片上电、软件复位或从 SLEEP 退出时钟恢复后置'1')	无中断
SFDDET_INT	13	R	检测到有效的 SFD 中断标志位 (芯片再次切换为接收状态约 250us 后自动清'0'或由 SFDDET_IC 软件清'0')	中断	无中断
PREDET_INT	12	R	检测到有效的前导中断标志位 (芯片再次切换为接收状态自动清'0'或由 PREDET_IC 软件清'0')	中断	无中断
EXT0_INT	11	R	GPIO0 外部中断标志位	中断	无中断
EXT1_INT	10	R	GPIO1 外部中断标志位	中断	无中断
EXT2_INT	9	R	GPIO2 外部中断标志位	中断	无中断
EXT3_INT	8	R	GPIO3 外部中断标志位	中断	无中断
INVSFDDET_INT	7	R	检测到无效的 SFD 中断标志位 (芯片再次切换为接收状态约 250us 后自动清'0'或由 INVSFDDET_IC 软件清'0')	中断	无中断
WDT_INT	6	R	WDT 中断标志位	中断	无中断
HALF_FULL_INT	5	R	FIFO 半满中断标志位 (接收端 MCU 读 RX FIFO 至不满足半满条件自动清'0', 详见 6.1.2 章节描述)	中断	无中断
HALF_EMPTY_INT	4	R	FIFO 半空中断标志位 (发送端 MCU 写 TX FIFO 至不满足半空条件自动清'0', 详见 6.1.2 章节描述)	中断	无中断
RSSI_INT	3	R	RSSI 中断标志位 (芯片再次切换为接收状态约 250us 后自动清'0'或由 RSSI_IC 软件清'0')	中断	无中断
INVPREDET_INT	2	R	无效的前导中断标志位 (芯片再次切换为接收状态约 250us 后自动清'0'或由 INVPREDET_IC 软件清'0')	中断	无中断
FIFO0_MAX_RETX	1	R	PTX 重传超时标志位 (只作为标志位使用, 非中断, 只针对增强型帧结构)	重传超时	未超时
FIFO0_INT	0	R	FIFO 中断标志位 (具体详见 6.2 章节) PTX: 发送完成或发送超时 PRX: 接收完成或发送 ACK 完成	中断	无中断

表 12-15 INT 寄存器说明

寄存器名称		INTIE			
地址		0x10			
复位值		0x8001			
位名称	位	读写	位说明	1	0
POR_IE	15	R/W	POR 中断使能	从 IRQ 输出	不输出
CHIPRDY_IE	14	R/W	CHIPRDY_INT 中断使能	从 IRQ 输出	不输出
SFDDDET_IE	13	R/W	SFDDDET_INT 中断使能	从 IRQ 输出	不输出
PREDET_IE	12	R/W	PREDET_INT 中断使能	从 IRQ 输出	不输出
EXT0_IE	11	R/W	GPIO0 外部中断使能	从 IRQ 输出	不输出
EXT1_IE	10	R/W	GPIO1 外部中断使能	从 IRQ 输出	不输出
EXT2_IE	9	R/W	GPIO2 外部中断使能	从 IRQ 输出	不输出
EXT3_IE	8	R/W	GPIO3 外部中断使能	从 IRQ 输出	不输出
INVSFDDDET_IE	7	R/W	INVSFDDDET_INT 中断使能	从 IRQ 输出	不输出
WDT_IE	6	R/W	WDT_INT 中断使能	从 IRQ 输出	不输出
HALF_FULL_IE	5	R/W	半满中断使能	从 IRQ 输出	不输出
HALF_EMPTY_IE	4	R/W	半空中断使能	从 IRQ 输出	不输出
RSSI_IE	3	R/W	RSSI_INT 中断使能	从 IRQ 输出	不输出
INVPREDET_IE	2	R/W	INVPREDET_INT 中断使能	从 IRQ 输出	不输出
DIRECT_IE	1	R/W	DIRECT 模式 时钟输出中断使能 (发送端为数据发送时钟, 接收端为数据接收时钟)	从 IRQ 输出	不输出
FIFO0INT_IE	0	R/W	FIFO0_INT 中断使能	从 IRQ 输出	不输出

表 12-16 INTIE 寄存器说明

寄存器名称		INTIC			
地址		0x11			
复位值		-			
位名称	位	读写	位说明	1	0
POR_IC	15	W	POR 中断清'0'信号	清'0'	无效操作
CHIPRDY_IC	14	W	CHIPRDY_INT 中断清'0'信号	清'0'	无效操作
SFDDDET_IC	13	W	SFDDDET_INT 中断清'0'信号	清'0'	无效操作
PREDET_IC	12	W	PREDET_INT 中断清'0'信号	清'0'	无效操作
EXT_IC	11	W	外部中断清'0'信号	清'0'	无效操作
-	10:8	-	-	-	
INVSFDDDET_IC	7	W	INVSFDDDET 中断清'0'信号	清'0'	无效操作
WDT_IC	6	W	WDT_INT 中断清'0'信号	清'0'	无效操作
-	5:4	-	-	-	
RSSI_IC	3	W	RSSI_INT 中断清'0'信号	清'0'	无效操作
INVPREDET_IC	2	W	INVPREDET_INT 中断清'0'信号	清'0'	无效操作
-	1	-	-	-	-
FIFO0INT_IC	0	W	FIFO0_INT 中断清'0'信号	清'0'	无效操作

表 12-17 INTIC 寄存器说明

寄存器名称		CRCVAL			
地址		0x12			
复位值		0x0000			
位名称	位	读写	位说明	1	0
CRCVAL	15:0	W	CRC 数值寄存器 (只针对增强型帧结构)	软件填写的发送 CRC，高 bit 在前，低 bit 在后。	

表 12-18 CRCVAL 寄存器说明

寄存器名称		PIPECTRL				
地址		0x13				
复位值		0x0001				
位名称	位	读写	位说明	1	0	
-	15:8	-	-	-		
P3_ACKEN	7	R/W	PIPE3 自动 ACK 使能信号	使能	不使能	
P2_ACKEN	6	R/W	PIPE2 自动 ACK 使能信号	使能	不使能	
P1_ACKEN	5	R/W	PIPE1 自动 ACK 使能信号	使能	不使能	
P0_ACKEN	4	R/W	PIPE0 自动 ACK 使能信号	使能	不使能	
P3_EN	3	R/W	PIPE3 使能信号	使能	不使能	
P2_EN	2	R/W	PIPE2 使能信号	使能	不使能	
P1_EN	1	R/W	PIPE1 使能信号	使能	不使能	
P0_EN	0	R/W	PIPE0 使能信号	使能	不使能	

表 12-19 PIPECTRL 寄存器说明

寄存器名称		P0ADDR0				
地址		0x14				
复位值		0xF398				
位名称	位	读写	位说明	1	0	
P0_ADDR[15:0]	15:0	R/W	PIPE0 SFD 地址 低 16 位	-		

表 12-20 P0ADDR0 寄存器说明

寄存器名称		P0ADDR1				
地址		0x15				
复位值		0xF398				
位名称	位	读写	位说明	1	0	
P0_ADDR[31:16]	15:0	R/W	PIPE0 SFD 地址 中间 16 位	-		

表 12-21 P0ADDR1 寄存器说明

寄存器名称		P0ADDR2				
地址		0x16				
复位值		0xF398				
位名称	位	读写	位说明	1	0	
P0_ADDR[47:32]	15:0	R/W	PIPE0 SFD 地址 高 16 位	-		

表 12-22 P0ADDR2 寄存器说明

寄存器名称		P1ADDR0			
地址		0x17			
复位值		0xC2C2			
位名称	位	读写	位说明	1	0
P1_ADDR[15:0]	15:0	R/W	PIPE1 SFD 地址 低 16 位	-	

表 12-23 P1ADDR0 寄存器说明

寄存器名称		P1ADDR1			
地址		0x18			
复位值		0xC2C2			
位名称	位	读写	位说明	1	0
P1_ADDR[31:16]	15:0	R/W	PIPE1 SFD 地址 中间 16 位	-	

表 12-24 P1ADDR1 寄存器说明

寄存器名称		P1ADDR2			
地址		0x19			
复位值		0xC2C2			
位名称	位	读写	位说明	1	0
P1_ADDR[47:32]	15:0	R/W	PIPE1 SFD 地址 高 16 位	-	

表 12-25 P1ADDR2 寄存器说明

寄存器名称		P23ADDR			
地址		0x1A			
复位值		0x58A7			
位名称	位	读写	位说明	1	0
P2_ADDR[7:0]	15:8	R/W	PIPE2 SFD 地址低 8 位 PIPE2 SFD 完整地址 { P1_ADDR[47:8],P2_ADDR[7:0]}	-	
P3_ADDR[7:0]	7:0	R/W	PIPE3 SFD 地址低 8 位 PIPE3 SFD 完整地址 { P1_ADDR[47:8],P3_ADDR[7:0]}	-	

表 12-26 P23ADDR 寄存器说明

寄存器名称		CHIPSTA0			
地址		0x1B			
复位值		-			
位名称	位	读写	位说明	1	0
FSM_IDLE	15	R	芯片 IDLE 状态指示位	IDLE 状态	非 IDLE 状态
-	14:13	-	-	-	-
FSM_SLEEP	12	R	芯片 SLEEP 状态指示位	SLEEP 状态	非 SLEEP 状态
-	11:7	-	-	-	-
PADN_DONE	6	R	PA ramp down 完成指示位	完成	未完成
PAUP_DONE	5	R	PA ramp up 完成指示位	完成	未完成
LOCK_DET	4	R	PLL 锁定指示位	锁定	未锁定
-	3:0	R	-	-	-

表 12-27 CHIPSTA0 寄存器说明

寄存器名称		MODECTRL			
地址		0x1C			
复位值		0x1046			
位名称	位	读写	位说明	1	0
SLEEP_ON	15	R/W	芯片进入 SLEEP 模式控制信号	进入 SLEEP 模式	退出 SLEEP 模式
-	14	-	-	-	-
LPFEN	13	R/W	低功耗输出模式 控制信号	芯片进入 SLEEP 模式 后 GPIO 自动切换为 RC 时钟输出 (GPIO _n _FUN 需配置为 5'b01111)	芯片进入 SLEEP 模式后 GPIO 不输 出时钟 (除 CLKCFG 配置 为 4'b0111 情况)
PKT_HINT_PRIORITY	12	R/W	IRQ 中断极性 选择配置	由“1”变为“0”	由“0”变为“1”
REP_MODE	11	R/W	直接发送模式 发送“0101”序列	使能	不使能
PN9_MODE	10	R/W	直接发送模式 发送 PN9 序列	使能	不使能
BPKTCTL_DIRECT	9	R/W	直接收发模式 控制信号 (详见 8.3 章节)	使能	不使能
DIRECT_MODE	8	R/W	Direct 模式 使能信号	使能	不使能
GPIO0_PRIORITY	7	R/W	GPIO0 有效电平配置	输出反向	输出不反向
GPIO1_PRIORITY	6	R/W	GPIO1 有效电平配置	输出反向	输出不反向

GPIO2_PORITY	5	R/W	GPIO2 有效电平配置	输出反向	输出不反向
GPIO3_PORITY	4	R/W	GPIO3 有效电平配置	输出反向	输出不反向
CLKCFG	3:0	R/W	GPIO 时钟输出频率配置	x000: fxtal 0001: fxtal /2 0010: fxtal /4 0011: fxtal /8 0100: fxtal /16 0101: fxtal /32 0110: fxtal /64 0111: frc (WDT_EN= '1'有效) others:不输出 fxtal 为主晶振时钟频率, frc 为 RC 时钟频率	

表 12-28 MODECTRL 寄存器说明

寄存器名称	GPIOCFG0				
地址	0x1D				
复位值	0xC0C0				
位名称	位	读写	位说明	1	0
GPIO0_DS	15	R/W	gpio0 驱动能力选择位	大电流驱动模式	正常模式
GPIO0_IE	14	R/W	gpio0 输入使能	使能	不使能
GPIO0_PE	13	R/W	gpio0 上拉使能	上拉	不上拉
GPIO0_FUN	12:8	R/W	gpio0 功能选择位	00000: POR(O) 00001: Wake-Up Timer :1 when WUT has expired (O) 00010: TX clock output (O) 00011: Direct Mode TX data input (I) 00100: RX clock output (O) 00101: RX data(O) 00110: TX state(O) 00111: RX state(O) 01000: TX FIFO almost empty(O) 01001: RX FIFO almost full(O) 01010: SFD detected(O) 01011: CD(O) 01100: Valid preamble detected(O) 01101: Invalid SFD detected(O) 01110: Invalid preamble detected(O) 01111: chip clock output, configed by clkcfg (O) 10000: External Interrupt, falling edge(I) 10001: External Interrupt, rising edge(I) 10010: External Interrupt, state change (I) 10011: Analog Output (O)	

				10100: TX data(O) <10101~10111>: VSS <11000~11011>: VDD 11100~11110: reserved(O) 11111: reserved(I)	
GPIO1_DS	7	R/W	gpio1 驱动能力选择位	大电流驱动模式	正常模式
GPIO1_IE	6	R/W	gpio1 输入使能	使能	不使能
GPIO1_PE	5	R/W	gpio1 上拉使能	上拉	不上拉
GPIO1_FUN	4:0	R/W	gpio1 功能选择位	00000: POR(O) 00001: Wake-Up Timer :1 when WUT has expired (O) 00010: TX clock output (O) 00011: Direct Mode TX data input (I) 00100: RX clock output (O) 00101: RX data(O) 00110: TX state(O) 00111: RX state(O) 01000: TX FIFO almost empty(O) 01001: RX FIFO almost full(O) 01010: SFD detected(O) 01011: CD(O) 01100: Valid preamble detected(O) 01101: Invalid SFD detected(O) 01110: Invalid preamble detected(O) 01111: chip clock output, configed by clkcfg (O) 10000: External Interrupt, falling edge(I) 10001: External Interrupt, rising edge(I) 10010: External Interrupt, state change (I) 10011: Analog Output (O) 10100; TX data(O) <10101~10111>: VSS <11000~11011>: VDD 11100~11110: reserved(O) 11111: reserved(I)	

表 12-29 GPIOCFG0 寄存器说明

寄存器名称		GPIOCFG1			
地址	0x1E				
复位值	0xCFDF				
位名称	位	读写	位说明	1	0
GPIO2_DS	15	R/W	gpio2 驱动能力选择位	大电流驱动模式	正常模式
GPIO2_IE	14	R/W	gpio2 输入使能	使能	不使能
GPIO2_PE	13	R/W	gpio2 上拉使能	上拉	不上拉
GPIO2_FUN	12:8	R/W	gpio2 功能选择位	00000: POR(O) 00001: Wake-Up Timer :1 when WUT has expired (O) 00010: TX clock output (O) 00011: Direct Mode TX data input (I) 00100: RX clock output (O) 00101: RX data(O) 00110: TX state(O) 00111: RX state(O) 01000: TX FIFO almost empty(O) 01001: RX FIFO almost full(O) 01010: SFD detected(O) 01011: CD(O) 01100: Valid preamble detected(O) 01101: Invalid SFD detected(O) 01110: Invalid preamble detected(O) 01111: chip clock output, configed by clkcfg (O) 10000: External Interrupt, falling edge(I) 10001: External Interrupt, rising edge(I) 10010: External Interrupt, state change (I) 10011: Analog Output (O) 10100: TX data(O) <10101~10111>: VSS <11000~11011>: VDD 11100~11110: reserved(O) 11111: reserved(I)	
GPIO3_DS	7	R/W	gpio3 驱动能力选择位	大电流驱动模式	正常模式
GPIO3_IE	6	R/W	gpio3 输入使能	使能	不使能
GPIO3_PE	5	R/W	gpio3 上拉使能	上拉	不上拉
GPIO3_FUN	4:0	R/W	gpio3 功能选择位	00000: POR(O) 00001: Wake-Up Timer :1 when WUT has expired (O) 00010: TX clock output (O) 00011: Direct Mode TX data input (I) 00100: RX clock output (O) 00101: RX data(O) 00110: TX state(O)	

				00111: RX state(O) 01000: TX FIFO almost empty(O) 01001: RX FIFO almost full(O) 01010: SFD detected(O) 01011: CD(O) 01100: Valid preamble detected(O) 01101: Invalid SFD detected(O) 01110: Invalid preamble detected(O) 01111: chip clock output, configed by clkcfg (O) 10000: External Interrupt, falling edge(I) 10001: External Interrupt, rising edge(I) 10010: External Interrupt, state change (I) 10011: Analog Output (O) 10100: TX data(O) <10101~10111>: VSS <11000~11011>: VDD 11100~11110: reserved(O) 11111: reserved(I)
--	--	--	--	--

表 12-30 GPIOCFG1 寄存器说明

寄存器名称		WDTCFG0			
地址		0x1F			
复位值		0x0010			
位名称	位	读写	位说明	1	0
WDT_WTM	15:0	R/W	Wake-up Timer wtm value	-	

表 12-31 WDTCFG0 寄存器说明

寄存器名称		WDTCFG1			
地址		0x20			
复位值		0x0081			
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	
WDT_EN	7	R/W	WDT 使能信号	使能	不使能
-	6:4	-	-	-	
WDT_WTR	3:0	R/W	Wake-up Timer wtr value	-	

表 12-32 WDTCFG1 寄存器说明

寄存器名称		WDTWDV			
地址		0x21			
复位值		-			
位名称	位	读写	位说明	1	0
WDT_WDV	15:0	R	Wake-up Timer 当前计数值	-	

表 12-33 WDTWDV 寄存器说明

寄存器名称		AGCGAIN			
地址		0x22			
复位值		-			
位名称	位	读写	位说明	1	0
LAGC_GAIN	15:8	R	AGC 增益档	-	
-	7:0	-	-	-	

表 12-34 AGCGAIN 寄存器说明

寄存器名称		RSSI			
地址		0x23			
复位值		-			
位名称	位	读写	位说明	1	0
RSSI2	15:8	R	实时 RSSI 值	二进制补码表示	
RSSI1	7:0	R	上一个有效数据包的 RSSI 值	二进制补码表示	

表 12-35 RSSI 寄存器说明

寄存器名称		PREACFG			
地址		0x24			
复位值		0x0208			
位名称	位	读写	位说明	1	0
-	15:11	-	-	-	
INV_PRENUM	10:8	R/W	检测无效前导长度 设置寄存器	检测长度为 INV_PRENUM * 8 bits (最终检测无效前导长度为 INV_PRENUM * 8 + PRENUM * 4 bits)	
PRENUM	7:0	R/W	检测有效前导长度 设置寄存器	检测长度为 PRENUM * 4 bits 其中 1bits 长度代表 1 个数据速率符 号长度。	

表 12-36 PREACFG 寄存器说明

寄存器名称		MODEMCTRL			
地址		0x25			
复位值		0x1201			
位名称	位	读写	位说明	1	0
-	15	-	-	-	
CFG_XTCS	14	R/W	外部晶振选择	20MHz 晶振	26MHz 晶振

BT_MODE	13	R/W	BT 参数设置	1	0.5
GFSK_MODE	12	R/W	GFSK 模式使能信号	使能	不使能
LP_TIMER	11:8	R/W	低功耗接收模式 时间配置	T= LP_TIMER * 16Tsymb	
-	7:3	R/W	-	-	
LP_ENABLE	2	R/W	低功耗接收模式 使能信号	使能	不使能
HOP_SEL	1	R/W	跳频有效信号 选择配置位	有效能量	有效前导
AFC_EN	0	R/W	AFC 功能使能信号	使能	不使能

表 12-37 MODEMCTRL 寄存器说明

寄存器名称		IFSET			
地址		0x26			
复位值		0x2CCD			
位名称	位	读写	位说明	1	0
MIXFW	15:0	R/W	中频设置寄存器	按《应用笔记_HW3002_User_Guide》寄存器初始化推荐值进行配置	

表 12-38 IFSET 寄存器说明

寄存器名称		CDTH			
地址		0x27			
复位值		0x8281			
位名称	位	读写	位说明	1	0
CD_TH1	15:8	R/W	载波检测阈值	具体详见 12.5 章节相关说明	
CD_TH2	7:0	R/W	载波检测阈值		

表 12-39 CDTH 寄存器说明

寄存器名称		CHCFG0			
地址		0x28			
复位值		0x0000			
位名称	位	读写	位说明	1	0
CHANNEL1	15:8	R/W	主信道号	-	
CHANNEL2	7:0	R/W	从信道号 1	-	

表 12-40 CHCFG0 寄存器说明

寄存器名称		CHCFG1			
地址		0x29			
复位值		0x0000			
位名称	位	读写	位说明	1	0
CHANNEL3	15:8	R/W	从信道号 2	-	
CHANNEL4	7:0	R/W	从信道号 3	-	

表 12-41 CHCFG1 寄存器说明

寄存器名称		CHCFG2			
地址		0x2A			
复位值		0x0000			
位名称	位	读写	位说明	1	0
CHANNEL5	15:8	R/W	从信道号 4	-	-
CHANNEL6	7:0	R/W	从信道号 5	-	-

表 12-42 CHCFG2 寄存器说明

寄存器名称		CHCFG3			
地址		0x2B			
复位值		0x0000			
位名称	位	读写	位说明	1	0
CHANNEL7	15:8	R/W	从信道号 6	-	-
CHANNEL8	7:0	R/W	从信道号 7	-	-

表 12-43 CHCFG3 寄存器说明

寄存器名称		DEVIATION			
地址		0x2C			
复位值		0x003F			
位名称	位	读写	位说明	1	0
-	15:10	R/W	-	-	-
DEVIATION	9:0	R/W	调制频偏设置	具体详见 7.2.2 章节	

表 12-44 DEVIATION 寄存器说明

寄存器名称		HOPCFG			
地址		0x2D			
复位值		0x1566			
位名称	位	读写	位说明	1	0
SFD_TIMER	15:8	R/W	跳频检测 SFD 时间控制 (发现有效 preamble 后, 若在设定时间内无有效 SFD, 将自动跳至下一个频点。)	$T = \text{SFD_TIMER} * 32T_{\text{symb}}$	
HOP_TIMER	7:4	R/W	跳频时间控制	$T = \text{HOP_TIMER} * 16T_{\text{symb}}$	
HOP_NUM	3:1	R/W	扫描的信道数目	信道数=HOP_NUM+1	
HOP_ENABLE	0	R/W	跳频接收功能使能信号	使能	不使能

表 12-45 HOPCFG 寄存器说明

寄存器名称		FILTERBAND				
地址		0x2E				
复位值		0x004A				
位名称	位	读写	位说明	1	0	
-	15:7	-	-	-	-	
FILTER2_BAND	6:0	R/W	接收滤波器带宽设置	具体详见 7.2.4 章节		

表 12-46 FILTERBAND 寄存器说明

寄存器名称		FREQCFG0				
地址		0x2F				
复位值		0x325C				
位名称	位	读写	位说明	1	0	
-	15	-	-	-	-	
CH_SPACE	14:13	R/W	信道间隔设置	00:100kHz 01: 200kHz 10: 400kHz 11: 800kHz		
RF_FREQ_BASE	12:0	R/W	起始频点设置/ 直接频点设置模式下，整数部分值	-		

表 12-47 FREQCFG0 寄存器说明

寄存器名称		FREQCFG1				
地址		0x30				
复位值		0x0000				
位名称	位	读写	位说明	1	0	
RF_PLL_DIRECT	15	R/W	直接设频点模式使能	使能需先设置 RF_FREQ_FRACTION 再设置 RF_FREQ_BASE。	不使能	
-	14:5	-	-	-	-	
RF_FREQ_FRACTION[20:16]	4:0	R/W	直接设频点模式频点小数部分 bit20~bit16	具体详见 7.1.2 章节		

表 12-48 FREQCFG1 寄存器说明

寄存器名称		FREQCFG2				
地址		0x31				
复位值		0x0000				
位名称	位	读写	位说明	1	0	
RF_FREQ_FRACTION[15:0]	15:0	R/W	直接设频点模式频点小数部分 bit15~bit0	具体详见 7.1.2 章节		

表 12-49 FREQCFG2 寄存器说明

寄存器名称		SYMRATE0			
地址	0x32				
复位值	0x0051				
位名称	位	读写	位说明	1	0
-	15:10	-	-	-	
SYMBOL_RATE[17:8]	9:0	R/W	数据速率设置寄存器	具体详见 7.2.1 章节	

表 12-50 SYMRATE0 寄存器说明

寄存器名称		SYMRATE1			
地址	0x33				
复位值	0x00EC				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	
SYMBOL_RATE[7:0]	7:0	R/W	数据速率设置寄存器	具体详见 7.2.1 章节	

表 12-51 SYMRATE1 寄存器说明

寄存器名称		RFCFG			
地址	0x35				
复位值	0x3332				
位名称	位	读写	位说明	1	0
-	15	-	-	-	
PLL_TRXLB_SEL	14:13	R/W	VCO 输出频率分频数控制	详见《应用笔记_HW3002_User_Guide》2.4 章节相关说明	
VCO_HB_SEL	12	R/W	高低频 VCO 选择控制位	High freq VCO	Low freq VCO
-	11	-	-	-	
PLL_LPFR	10:8	R/W	PLL 环路带宽控制位	000: BW50K 001: BW75K 011: BW100K 111: BW150K	
PLL_CPI	7:4	R/W	电荷泵电流控制位	0001: 12.5uA 0010: 25uA 0100: 50uA 1000: 100uA 0011: 37.5uA	
TRXBUF_CUR	3	R/W	TX/RX BUFFER 电流控制位	大电流模式	正常模式
TRXBUF_LOAD	2	R/W	TX/RX BUFFER 负载驱动能力控制位	low load	high load
PLL_TRXBUFI	1:0	R/W	TX/RX 分频器	00: 6uA	

			中 BUFFER 的 电流设置	01: 8uA 10: 10uA (默认) 11: 12uA
--	--	--	--------------------	--------------------------------------

表 12-52 RFCFG 寄存器说明

寄存器名称		CHIPSTA1				
地址		0x36				
复位值		-				
位名称		位	读写	位说明	1	0
CHIPSTA1		15:0	R/W	芯片状态指示寄存器	SLEEP: 0x0777 IDLE: 0x0077 TX: 0x008A (使能发送 150us 后) RX: 0x000D (使能接收 150us 后) Others: 异常状态	

表 12-53 CHIPSTA1 寄存器说明

寄存器名称		XOSCCAL				
地址		0x37				
复位值		0x0080				
位名称		位	读写	位说明	1	0
-		15:8	-	-	-	
XOSC_CAL		7:0	R/W	晶振校准寄存器	0xFF: min freq 0x00: max freq	

表 12-54 XOSC 寄存器说明

寄存器名称		RCCFG0				
地址		0x38				
复位值		0x18C3				
位名称		位	读写	位说明	1	0
RCCODE_SEL		15	R/W	RC 模块校准配置值 选择位	软件设置	自动校准
-		14	-	-	-	
WDT_IBIAS		13:12	R/W	32KHz 振荡器电流控制	0x11: max 0x00: min	
WDT_CAL		11:0	R/W	RC 软件校准配置值	0xFFF: max freq 0x000: min freq	

表 12-55 RCCFG0 寄存器说明

寄存器名称		RCSTA				
地址		0x39				
复位值		-				
位名称	位	读写	位说明	1	0	
CAL_DONE	15	R	校准完成标志位	校准完成后置'1'。 连续校准模式下每间隔约 30s 开始下一次校准前自动清'0'；非连续校准模式下，使能 RCCAL_EN 自动清'0'		
-	14:12	-	-	-		
RCCODE	11:0	R	自动校准 RC 频率控制字	-		

表 12-56 RCSTA 寄存器说明

寄存器名称		RCCFG1				
地址		0x3A				
复位值		0x002A				
位名称	位	读写	位说明	1	0	
-	15:8	-	-	-		
RCCAL_STEN	7	R/W	连续校准模式使能位 (每约 30s 进行一次校准)	使能	不使能	
RCST_DLY	6:4	R/W	RC 在新的配置值下再次校准需要等待的时间	3'b000: 0 个 rcclk 周期; 3'b111: 7 个 rcclk 周期;		
RCCAL_ACC	3:1	R/W	频率控制字有效位选择	3'b000: 忽略控制字的低 5 位; 3'b001: 忽略控制字的低 4 位; 3'b010: 忽略控制字的低 3 位; 3'b011: 忽略控制字的低 2 位; 3'b100: 忽略控制字的低 1 位; 3'b101: 使用完整的控制字; 其他: 保留;		
RCCAL_EN	0	W	RC 校准使能位	使能	无效操作	

表 12-57 RCCFG1 寄存器说明

寄存器名称		HOPSPACE0				
地址		0x3C				
复位值		0x0000				
位名称	位	读写	位说明	1	0	
-	-	-	-	-		
HOP_SPACE[19:16]	3:0	R/W	跳频频点间隔设置寄存器 0 (RF_PLL_DIRECT = '1'时有效)	HOP_SPACE[19:0]=round((fh*4/fosc)*2^20), 其中 fh 为需要的扫描频率间隔, fosc 为晶振频率, 默认设置 fh 为 200kHz, fosc 为 26MHz		

表 12-58 HOPSPACE0 寄存器说明

寄存器名称		HOPSPACE1				
地址		0x3D				
复位值		0x7E08				
位名称	位	读写	位说明	1	0	
HOP_SPACE[15:0]	15:0	R/W	跳频扫频间隔设置 寄存器 1 (RF_PLL_DIRECT = '1' 时有效)	HOP_SPACE[19:0] = round((fh*4/fosc)*2^20), 其中 fh 为 需要的扫描频率间隔, fosc 为晶振频 率, 默认设置 fh 为 200kHz, fosc 为 26MHz		

表 12-59 HOPSPACE1 寄存器说明

寄存器名称		RSSICFG				
地址		0x3E				
复位值		0x021D				
位名称	位	读写	位说明	1	0	
-	15:11	-	-	-		
RSSI2_LEN	10:8	R/W	RSSI 的计算时间长度	000: 128us 001: 256us 010: 512us 011/100: reserved Others: 4096us		
RSSI2_OFFSET	7:0	R/W	RSSI 的偏差补偿	-		

表 12-60 RSSICFG 寄存器说明

寄存器名称		HOPCH				
地址		0x3F				
复位值		-				
位名称	位	读写	位说明	1	0	
HOP_CH	15:8	R	跳频所在当前 channel (寄存器指示跳频所在当前 channel 寄存器的设定值, 接 收完成后返回主信道)	-		
LOCK_CH	7:0	R	跳频锁定的 channel (寄存器指示跳频锁定 channel 寄存器的设定值)	可在检测到 有效前导之后读取		

表 12-61 HOPCH 寄存器说明

寄存器名称		PACFG				
地址		0x40				
复位值		0x003F				
位名称	位	读写	位说明	1	0	
PA_VB2	15:12	R/W	输出功率设置寄存器 2	-	-	
PA_VB1	11:8	R/W	输出功率设置寄存器 1	-	-	
-	7:6	-	-	-	-	
PA_SET	5:0	R/W	PA ramp 档位设置	设置值支持 0x01~0x3F		

表 12-62 PACFG 寄存器说明

寄存器名称		ACKCFG				
地址		0x45				
复位值		0x30FF				
位名称	位	读写	位说明	1	0	
RE_TX_TIMES	15:12	R/W	最大重传次数 (只针对增强型帧结构)	设置值只支持 0x1~0xE		
AUTO_RXACK_TIME	11:0	R/W	接收 ACK 等待时间 (只针对增强型帧结构)	T=AUTO_RXACK_TIME*T _{symb} 建议设置值为： (PREAMBLE (bytes) +SFD (bytes)) *8 + 25		

表 12-63 ACKCFG 寄存器说明

寄存器名称		FIFOPTR				
地址		0x4D				
复位值		0x0000				
位名称	位	读写	位说明	1	0	
FIFO0_WR_PTR	15:8	R	FIFO 写指针	-	-	
FIFO0_RD_PTR	7:0	R	FIFO 读指针	-	-	

表 12-64 FIFOPTR 寄存器说明

寄存器名称		LEN0RXADD				
地址		0x4E				
复位值		0x0003				
位名称	位	读写	位说明	1	0	
-	15:8	-	-	-	-	
LEN0_PKLENADD	7:0	R/W	直接 FIFO 帧结构 芯片额外接收的 byte 数 (LEN0_RXMODE='0'芯片自动 识别帧长接收模式下有效)	8'h0:不额外接收 8'h1:1 个 byte 8'h2:2 个 bytes ...		

表 12-65 LEN0RXADD 寄存器说明

寄存器名称		INVSFDTIME			
地址		0x4F			
复位值		0x0020			
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	-
INVSFD_TIME	7:0	R/W	发现有效前导后若在 INVSFD_TIME 设定长度内未检测到有效 SFD, 无效 SFD 中断标志 INVSFDDDET_INT 将置'1'。	设定长度为 INVSFD_TIME * 8 bits, 其中 1bits 长度代表 1 个数据速率符号长度。 可依据通讯使用的前导、SFD 长度与接收设置的前导检测时间综合考虑。 (该寄存器适用于软件跳频等应用)	

表 12-66 INVSFDTIME 寄存器说明

寄存器名称		SFTRST0			
地址		0x60			
复位值		-			
位名称	位	读写	位说明	1	0
SFTRST0	15:0	R/W	软件复位方式 0 (不可复位寄存器)	16'h55AA: 软件复位 Others: 无效操作	

表 12-67 SFTRST0 寄存器说明

寄存器名称		SFTRST1			
地址		0x61			
复位值		-			
位名称	位	读写	位说明	1	0
SFTRST1	15:0	R/W	软件复位方式 1 (全芯片复位)	16'h55AA: 软件复位 Others: 无效操作	

表 12-68 SFTRST1 寄存器说明

寄存器名称		REGCHECK			
地址		0x6F			
复位值		0x0000			
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	-
REGCHECK	7:0	R	校验寄存器	校验范围为寄存器写入值与 FIFO 写入值, 芯片以 byte 为单位对写入值进行异或处理, 寄存器先校验高 byte, 后校验低 byte。 软件复位后 REGCHECK 寄存器清'0'。	

表 12-69 REGCHECK 寄存器说明

寄存器名称		FIFODATA			
地址	0x70				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:8			-	
FIFODATA	7:0	R/W	FIFO 访问寄存器	FIFO 读写操作详见 6.3.3 章节	

表 12-70 FIFODATA 寄存器说明

附录1 电气特性

参数	符号	条件	最小值	典型值	最大值	单位
供电电压范围	Vdd	-	2.0	3.3	3.6	V
工作温度范围	Temp_W	-	-40	27	85	° C
说明:						
1. 所有规格保证生产测试, 特殊情况另有说明。						
2. 资格认证。						

表 12-71 工作条件

参数	符号	条件	最小值	典型值	最大值	单位
省电模式功耗	POWER DOWN	所有模块关闭	-	100	-	nA
	DEEP SLEEP	低功耗数字接口打开(保持寄存器的值), 其它模块关闭	-	3	-	uA
	IDLE	数字 LDO 工作在正常模式, 晶振使能, 数字电路有时钟	-	2	-	mA
接收模式功耗	RX	码率 10kbps, 载波 433MHz	10	18	-	mA

表 12-72 芯片功耗

参数	符号	条件	最小值	典型值	最大值	单位
接收频率范围	FSYNTH1	20MHz 晶振	235	-	522	MHz
	FSYNTH2	20MHz 晶振	700	-	1045	MHz
灵敏度	RX_1	(BER<0.1%,10kbps, dev=25kHz,G2FSK, BT=0.5,Frq=433MHz)	-	-114	-	dBm
	RX_2	(BER<0.1%,50kbps, dev=25kHz,G2FSK, BT=0.5,Frq=433MHz)	-	-109	-	dBm
接收最大信号	PMAX_IN	-	-	>17	-	dBm
接收带宽	BW	-	10	-	200	kHz
输入三阶交调 (IIP3)	IIP3RX	-	-	-20	-	dBm
RX 输入阻抗 (未做匹配时, RX 的双端输入)	RIN-RX	433MHz	-	124.85-85.55j	-	Ω
RSSI 分辨率	RES-RSSI	-	-	±3	-	dB
±1-Ch 邻道抑制 (BER<0.1%)	C/I1-CH	要求参考信号灵敏度 3db 以上, 码速 10kbps, 高斯频率偏移键控(G2FSK), 频偏 25kHz, 基带滤波 (BT=0.5), 带宽 70k,	-	-41	-	dB
±2-Ch 邻道抑制 (BER<0.1%)	C/I2-CH		-	-44	-	dB

≥ ±3-Ch 邻道抑制 (BER <0.1%)	C/I3-CH	通道间隔 200K, 干扰源为连续载波信号	-	-47	-	dB
≥ ±4-Ch 邻道抑制 (BER <0.1%)	C/I4-CH		-	-50	-	dB
阻塞 (1MHz)	1M BLOCK	要求参考信号灵敏度 3db 以上, 码速 10kbps, 高斯频率偏移键控(G2FSK), 频偏 25kHz, 基带滤波 (BT=0.5), 带宽 70k, 通道间隔 200K, 干扰源为连续载波信号	-	-55	-	dB
阻塞 (10MHz)	10M BLOCK		-	-65	-	dB
镜相抑制	ImREJ	中频 IF=350kHz	-	-45	-	dB
同频率干扰	CoREJ	-	-	9	-	dB

表 12-73 接收机 (RX) 特性

参数	符号	条件	最小值	典型值	最大值	单位
频率合成器的频率范围	FSYNTH1	20MHz 晶振	235	-	522	MHz
	FSYNTH2	20MHz 晶振	700	-	1045	MHz
频率合成器分辨率	FRES	-	2.2@20MHz 2.86@26MHz	-	4.4@20MHz 5.7@26MHz	Hz
参考频率	fREF	20MHz 或者 26MHz	-	20/26	-	MHz
频率合成器频率容差	ERR_FREQ	其容差值主要由晶体决定	-	±20	-	ppm
参考频率输入电平	fREF_LV	当使用参考频率替代晶体时, 输入信号峰值 (Vpp)	0.4	-	-	V
频率合成器建立时间	tLOCK	XOSC 运行稳定后, PLL 的建立时间 (包括 VCO 频率校正时间)	30	60	80	μs
相位噪声	L (fM)	F = 10 kHz@20MHz F = 10 kHz@26MHz	-	-95	-	dBc/Hz
		F = 100 kHz@20MHz F = 100 kHz@26MHz	-	-98	-	dBc/Hz
		F = 1 MHz@20MHz F = 1 MHz@26MHz	-	-118	-	dBc/Hz
		F = 10 MHz@20MHz F = 10 MHz@26MHz	-	-130	-	dBc/Hz

说明:

1. 所有规格保证生产测试，特殊情况另有说明。
2. 资格认证。

表 12-74 频率合成器特性

参数	符号	条件	最小值	典型值	最大值	单位
校准频率	FREQ	-	31.94	32	32.05	kHz
校准之后的频率精度	RES_FREQ	理论值	-	-	±1	%
温度系数	FAC_TEMP	在校准之后当温度改变时的频率漂移	-	+0.6	-	% / °C
供给电压系数	FAC_V	在校准之后当供给电压改变时的频率漂移	-	+5	-	% / V
初始校准时间	CAL_TIME	当 RC 振荡器开启时，尽管晶体振荡器在工作，校准还是在后台持续的进行。	-	3	-	ms
唤起周期	TIME_START	可根据寄存器配置做相应的调整	-	-	-	s

说明:

1. 所有规格保证生产测试，特殊情况另有说明。
2. 资格认证。

表 12-75 低功耗 RC 振荡器特性

参数	符号	条件	最小值	典型值	最大值	单位
晶体频率	CRY_FRE	-	-	20/26	-	MHz
容差	ERR_FREQ	这是总容差，包括初始容差、老化和温度依赖，可接受的晶体容差决定于 RF 频率和信道空间/带宽	-	±20	-	ppm
ESR	ESR	-	-	-	100	Ω
开始时间	T_START	-	-	300	-	us

说明:

1. 所有规格保证生产测试，特殊情况另有说明。
2. 资格认证。

表 12-76 石英晶体振荡器特性

附录2 术语解释

Term	Description
ACK	Acknowledgement
ART	Auto Re-Transmit
PRX	Primary RX
TX	Transmit
RX	Receive
ISM	Industrial-Scientific-Medical
GFSK	Gaussian Frequency Shift Keying
PID	Packet Identity Bits
CE	Chip Enable
IRQ	Interrupt Request
CSN	Chip Select NOT
SCK	Serial Clock
SDI	Serial Data In
SDO	Serial Data Out

表 12-77 术语解释

附录3 典型应用原理图

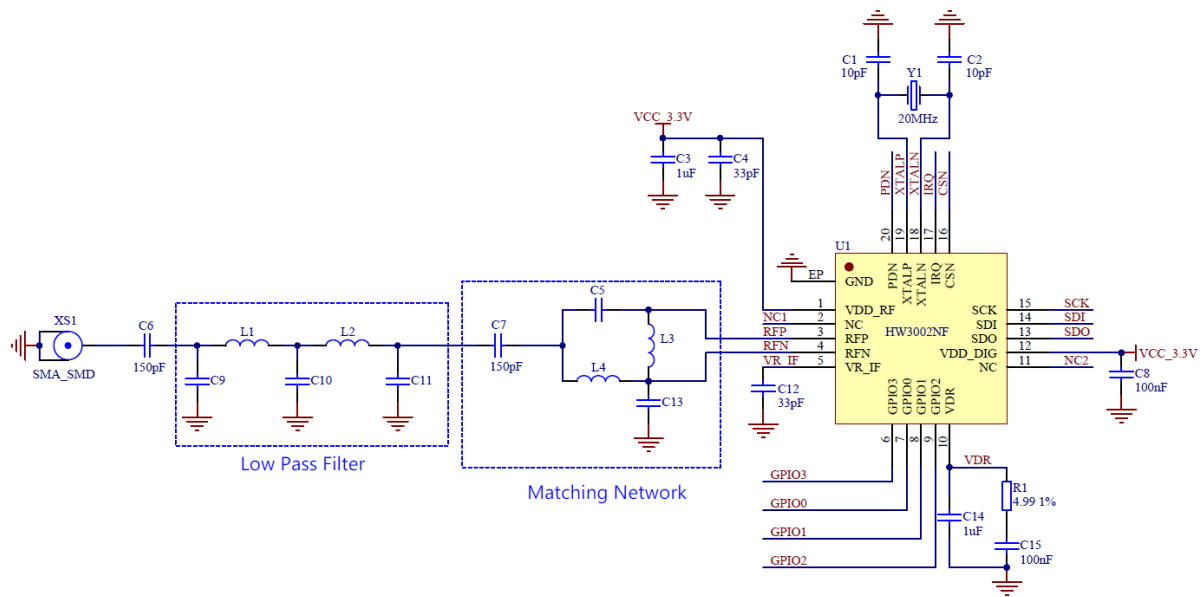


图 12-1 HW3002 典型应用原理图

各频段匹配元器件参数详见表 12-78 所示。

标号 频率	L1,L2	C9,C11	C10	L3	L4	C5	C13
315MHz	22nH	12pF	27pF	82nH	56nH	6.8pF	6.8pF
433MHz	18nH	6.8pF	15pF	33nH	47nH	4.7pF	5.6pF
779MHz	6.8nH	6.8pF	12pF	18nH	15nH	3.3pF	2.7pF
868MHz	5.6nH	6.8pF	12pF	9.1nH	9.1nH	2.7pF	6.8pF
915MHz	5.1nH	6.8pF	10pF	8.2nH	8.2nH	2.7pF	4.7pF

表 12-78 不同频率下的射频元件 BOM

附录4 封装信息

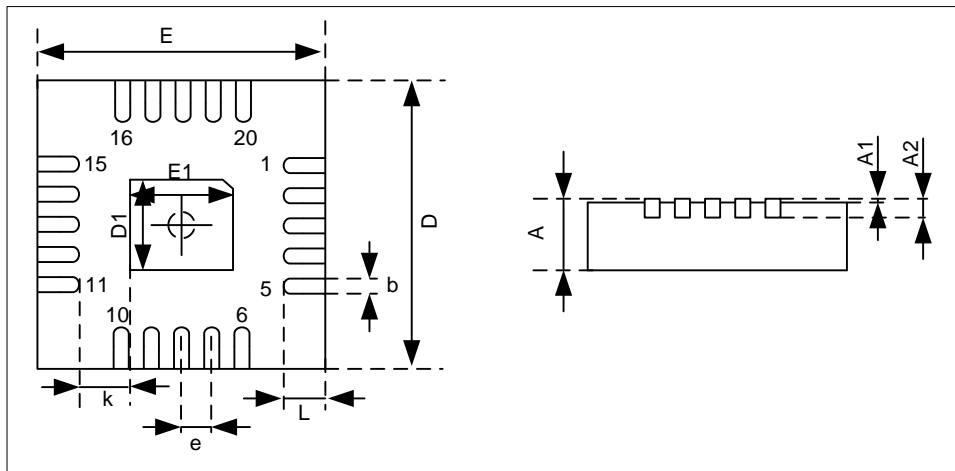


图 12-2 QFN20 4x4 封装示意图

Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	0.700/0.800	0.800/0.900	0.028/0.031	0.031/0.035
A1	0.000	0.050	0.000	0.002
A2	0.153	0.253	0.006	0.010
D	3.900	4.100	0.154	0.161
E	3.900	4.100	0.154	0.161
D1	1.900	2.100	0.075	0.083
E1	1.900	2.100	0.075	0.083
k	0.200MIN.		0.008MIN.	
b	0.180	0.300	0.007	0.012
e	0.500TYP.		0.020TYP.	
l	0.350	0.450	0.014	0.018

表 12-79 QFN20 4x4 封装尺寸